

# NAPONOM KONTROLISANI OSCILATORI

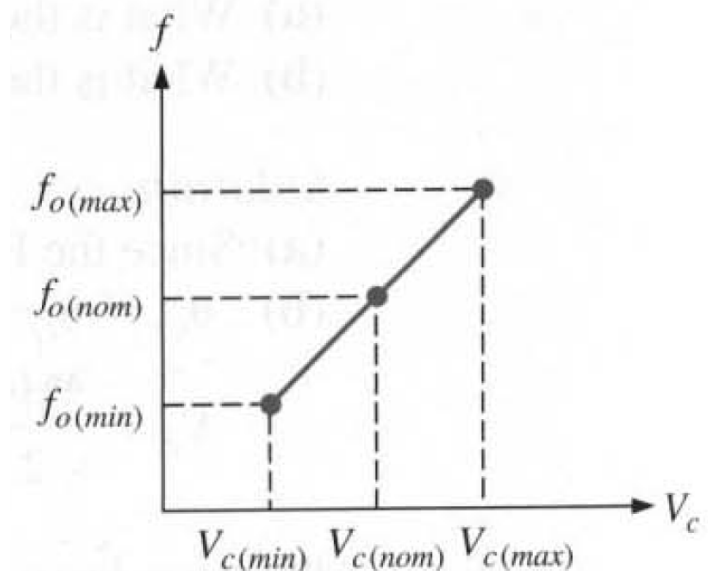
## Naponom kontrolisani oscilator

- Naponom kontrolisani oscilator (Voltage Controlled Oscillator, VCO) je oscilator čija se frekvencija oscilovanja može kontrolisati naponom.
- Frekvencija oscilacija je direktno srazmerna kontrolišućem naponu. Kada kontrolišući napon ima nominalnu vredost oscilator osciluje na frekvenciji slobodnog oscilovanja. Za svaki naponom kontrolisani oscilator može se definisati opseg podešavanja, odnosno opseg unutar koga se može podešavati kontrolišući napon.

Frekvencija oscilovanja naponom kontrolisanog oscilatora je:

$$\omega_{osc} = \omega_0 + K_o \cdot V_c$$

$K_o$  je **pojačanje ili osetljivost VCO**;  
 $\omega_0$  je **frekvencija slobodnog oscilovanja**  
 $V_c$  je kontrolišući napon



# Naponom kontrolisani oscilator

- Tipovi naponski kontrolisanog oscilatora:

- **Harmonijski oscilatori** (LC, RC, oscilator sa kristalom kvarca)

U ovu grupu spadaju oscilatori koji generišu sinusni talasni oblik. Frekvencija se često menja primenom varikap diode. Promenljiva kapacitivnost varikap diode potiče od prostornog naelektrisanja pn spoja čija se vrednost menja sa promenom napona inverzne polarizacije.

Prednost harmonijskih oscilatora je mala osetljivost frekvencije oscilovanja na promene temperature, šum i varijacije napona napajanja. Pored toga imaju mogućnost precizne kontrole frekvencije. Najznačajniji nedostatak je komplikovana implementacija u integrisanim kolima.

- **Relaksacioni oscilatori**

Generišu signal pravougaonog ili trougaonog talasnog oblika. Prednost im je širok frekvencijski opseg podešavanja i jednostavnija realizacija u integrisanoj tehnologiji. Najznačajnije topologije relaksacionih oscilatora su: 1) VCO sa uzemljenim kondenzatorom, 2) VCO sa zajedničkim emitorom i 3) VCO baziranom na kašnjenju (ring oscilatori).

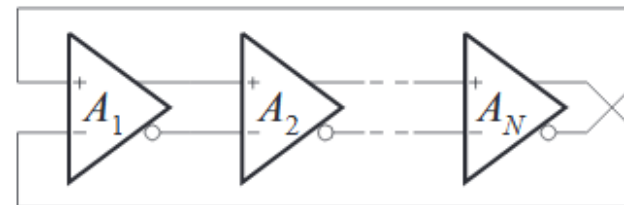
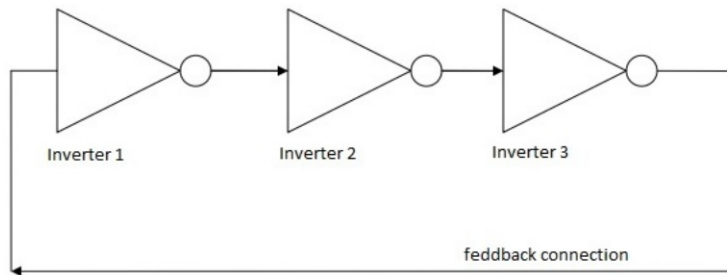
## Naponom kontrolisani oscilator

- Najznačajnije primene naponom kontrolisanih oscilatora:
  - Generator funkcija
  - Ton generator
  - Frekvencijska modulacija
  - Fazna modulacija
  - Fazno zatvorena petlja (Phase locked loop)

# Naponom kontrolisani oscilator

## Oscilator baziran na kašnjenju - Ring oscilator

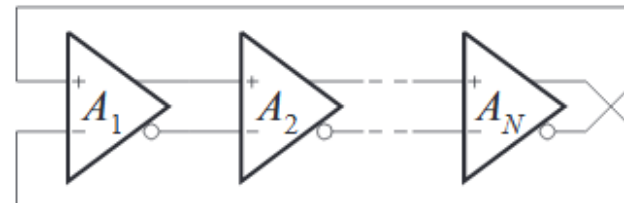
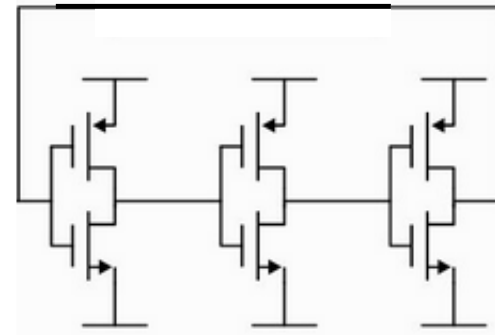
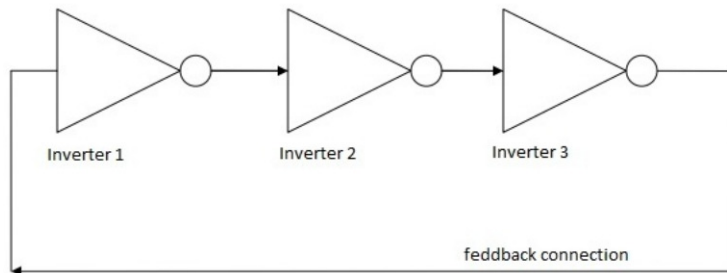
Ring oscilator se sastoji od redne veze neparnog broja invertora i na izlazu generiše signal koji osciluje između dva naponska nivoa koji predstavljaju logičku nulu i logičku jedinicu. Pozitivna povratna sprega je uspostavljena direktnim povezivanjem izlaza poslednjeg invertora sa ulazom prvog invertora. S obzirom da je broj invertora u nizu neparan na izlazu poslednjeg invertora generiše se invertovana vrednost signala koji je na ulazu prvog invertora. Zahvaljujući zakašnjenju ovog signala nastaju oscilacije. Ukoliko bi primenili paran broj invertora na izlazu poslednjeg invertora bi se dobio isti napon kao na ulazu prvog, odnosno nebi mogle da nastupe oscilacije. Ring oscilator se može realizovati i kaskadnom spregom diferencijalnih pojačavača.



# Naponom kontrolisani oscilator

## Ring oscilator

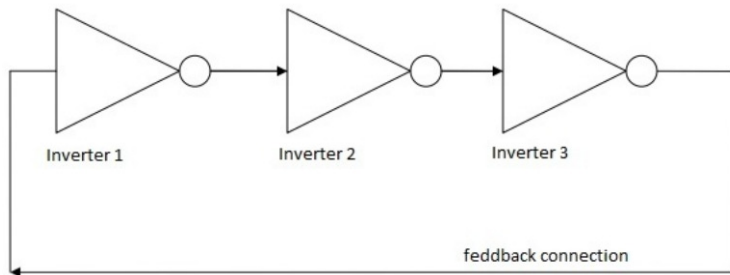
Zakašnjenje koje unosi CMOS invertor može se objasniti fizičkim procesima u tranzistoru. Da bi tranzistor koji je u zakašnjenju proveo potrebno je da prođe određeni vremenski period neophodan da se napuni kapacitivnost gejta. Da bi nastupile oscilacije ukupno naponsko pojačanje mora da bude veće od jedan. Na početku oscilovanja amplituda četvorougaoonog signala će rasti sve dok ne dostigne graničnu vrednost nakon čega postaje stabilna.



# Naponom kontrolisani oscilator

## Ring oscilator

Frekvencija oscilacija se može odrediti iz uslova da ukupni fazni pomeraj signala koji prođe kroz rednu vezu invertora iznosi  $\pi$ . To praktično znači da zbir zakašnjenja svih invertora u rednoj vezi treba da bude jednak poluperiodi oscilacija.



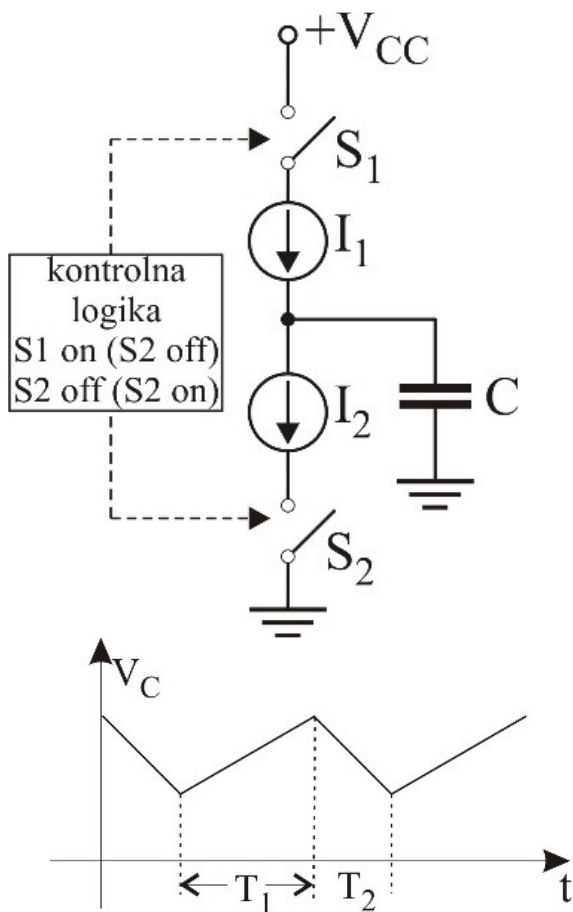
$$\frac{T}{2} = N \cdot t_d$$
$$f = \frac{1}{2 \cdot N \cdot t_d}$$

Gde je:  $f_0$  frekvencija oscilacija,  $N$  broj invertora,  $t_d$  zakašnjenje jednog invertora.

Na frekvenciju oscilacija se može uticati na dva načina, promenom broja invertora i promenom vrednosti napona napajanja. Ukoliko je broj invertora u oscilatoru manji veća je frekvencija oscilacija. Sa povećanjem napona napajanja raste struja kao i frekvencija oscilovanja.

# Naponom kontrolisani oscilator

## Relaksacioni oscilator sa uzmeljenim kondenzatorom



$$I = C \cdot \frac{dV}{dt}$$
$$T_1 = C \cdot \frac{V_m}{I_1}$$
$$T_2 = C \cdot \frac{V_m}{I_2}$$
$$T = T_1 + T_2$$

Šema prikazuje principijelnu šemu relaksacionog oscilatora sa uzmeljenim kondenzatorom. Pored kondenzatora ovo kolo sadrži dva strujna generatora, dva prekidača i kontrolnu logiku koja upravlja prekidačima.

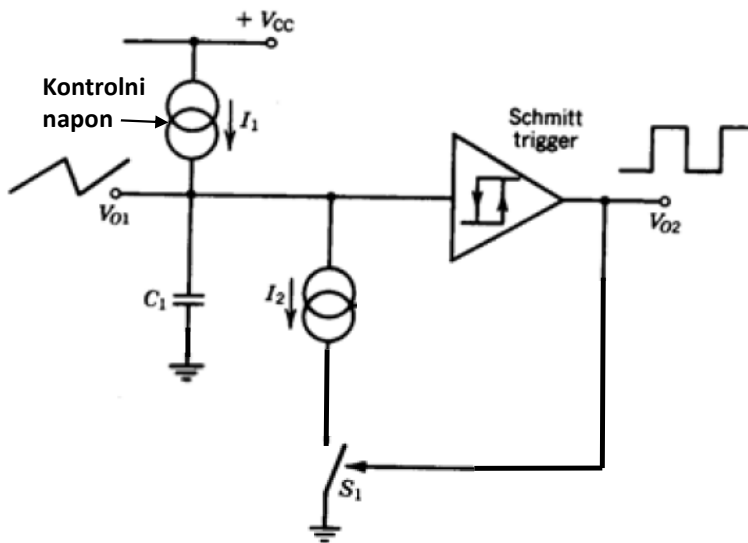
Jedan od strujnih generatora je usmeren na takav način da se kondenzator puni, a drugi strujni generator je usmeren tako da se kondenzator prazni. Kada struja utiče u kondenzator napon na njemu linearno raste, a kada struja ističe onda linearno opada.

Uloga kontrolne logike i prekidača je da naizmenično uključuje jedan ili drugi strujni generator kada napon na kondenzatoru dostigne zadatu vrednost. Izlazni napon je napon na kondenzatoru koji je trougaonog talasnog oblika.



# Naponom kontrolisani oscilator

## VCO sa uzemljenim kondenzatorom



Naponom kontrolisani oscilator sa uzemljenim kondenzatorom funkcioniše na istom principu kao i relaksacioni oscilator koji sadrži uzemljeni kondenzator. Jedina razlika je da se u ovom slučaju koriste naponom kontrolisani strujni izvori.

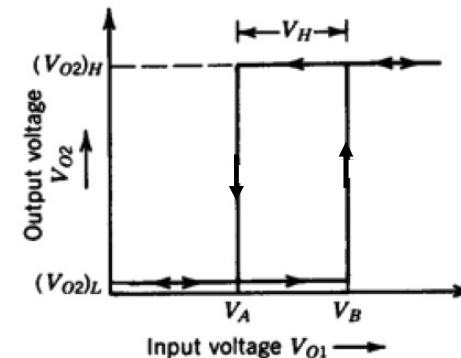
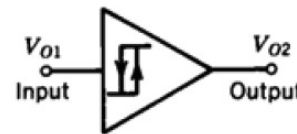
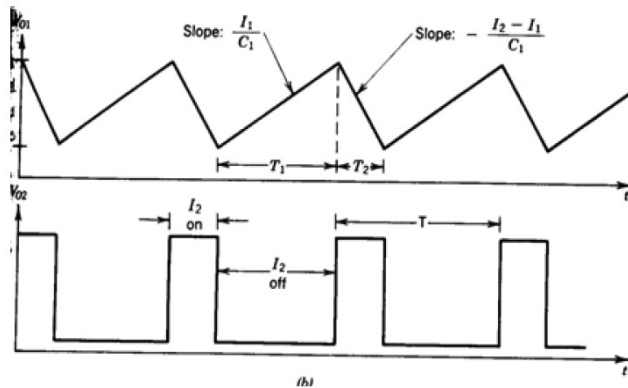
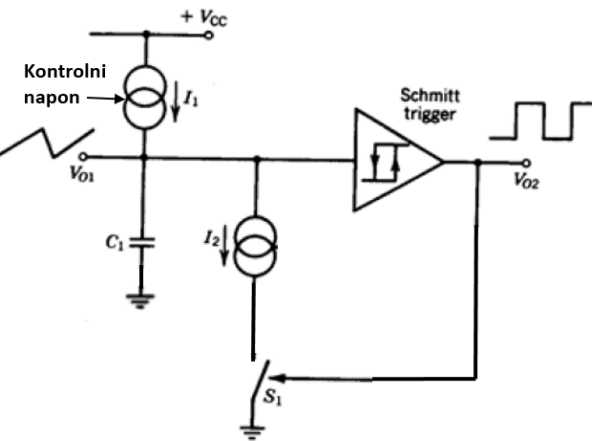
Kontrolni napon reguliše frekvenciju oscilacija promenom vrednosti struje koje utiču i struje koja ističe iz kondenzatora. Vremenski intervali u toku kojeg se napon na kondenzatoru promeni za zadata vrednost (poveća u toku perioda punjenja ili samnji u toku perioda pražnjenja) direktno je srazmerna vrednosti struja.

Ukoliko se poveća kontrolni napon povećavaju se struje i samim tim smanjuje period oscilacija. Kada se kontrolišući napon smanji smanjuju se struje što ima za posledicu smanjenje frekvencije oscilacija.

# Naponom kontrolisani oscilator

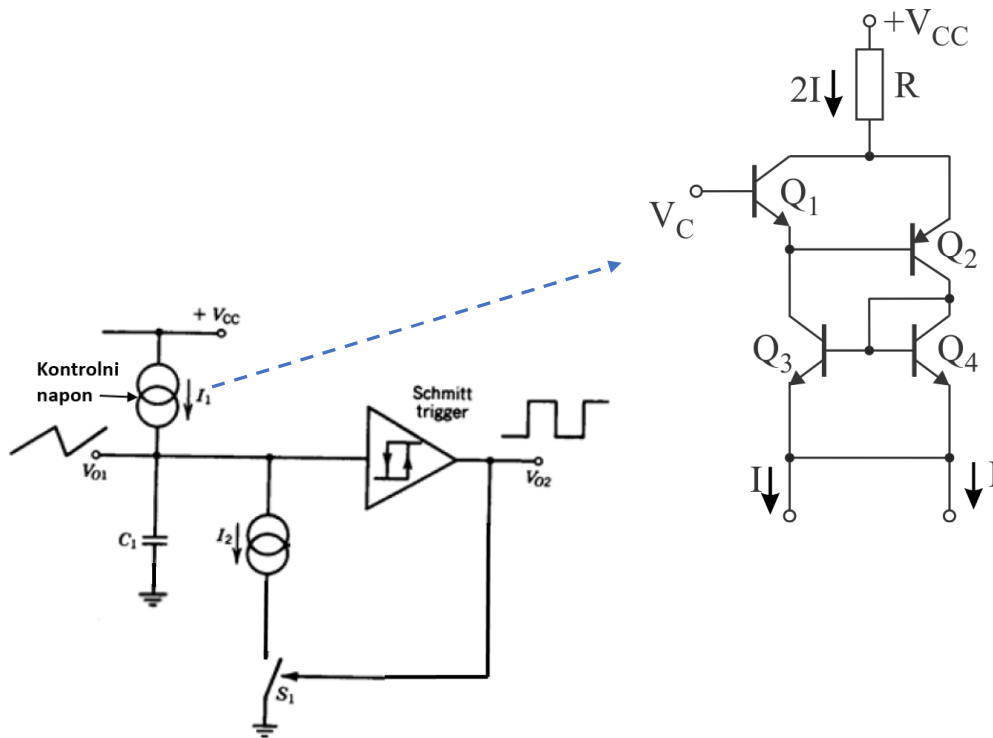
## VCO sa uzmeljenim kondenzatorom (NE566)

Kontrolnu logiku čine Šmitov komparator i prekidač. Prekidač se najčešće realizuje pomoću jednog prekidačkog tranzistora. Kada je na izlazu Šmitovog komparatora logička nula, odnosno nizak naponski nivo prekidač  $S_1$  je otvoren i strujni generator  $I_2$  je u prekidu. Tokom tog perioda utiče struja u kondenzator preko gornjeg strujnog generatora  $I_1$  i napon na kondenzatoru raste. Kada napon na kondenzatoru dostigne gornji prag okidanja  $V_B$  Šmitov komparator menja stanje i na izlazu se napon logičke jedinice. Prekidač se zatvara i počinje da vodi strujni generator  $I_2$  preko koga se prazni kondenzator. Do sledeće promene stanja nastupiće kada napon na kondenzatoru padne do vrednosti donjeg praga okidanja  $V_A$ . Praktično napon na kondenzatoru će se linearno menjati vrednosti između dva praga okidanja.



# Naponom kontrolisani oscilator

## VCO sa uzmeljenim kondenzatorom (NE566)



Potkolo na slici služi za dobijanje struje koja je srazmerna razlici napona napajanja  $V_{CC}$  i kontrolnog napona  $V_C$ . Razlog konverzije napona u ustruju je povećanje brzine rada. Gornja dva tranzistora  $Q_1$  i  $Q_2$  su uvedena da bi se na otporniku  $R$  dobila potrebna razlika potencijala:

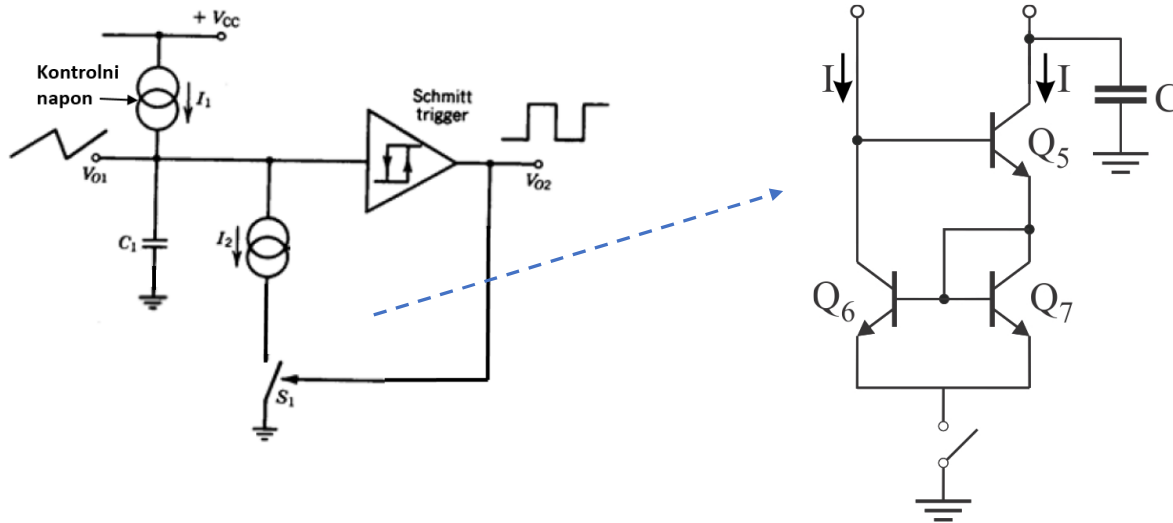
$$I = \frac{V_{CC} - V_C - V_{\gamma 2} - V_{\gamma 1}}{R} \approx \frac{V_{CC} - V_C}{R}$$

Ovde se praktično pad napona na emitorskom spoju NPN tranzistora potire sa padom napona na emitorskom spoju PNP tranzistora čime se eliminiše uticaj promene temperature na struju koja protiče kroz otpornik. Da bi naponi na emitorskim spojevima  $Q_1$  i  $Q_2$  bili isti potrebno je da kroz njih teče približno ista struja što se obezbeđuje strujnim ogledalom koga čine  $Q_3$  i  $Q_4$ .

# Naponom kontrolisani oscilator

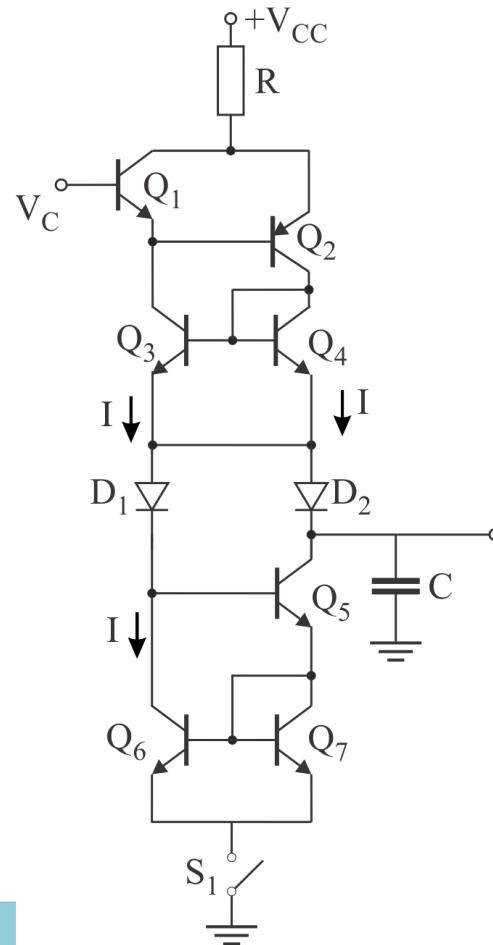
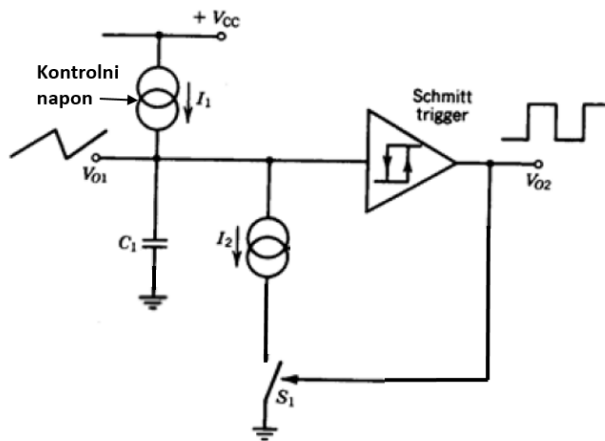
## VCO sa uzmeljenim kondenzatorom (NE566)

Strujni generator preko koga ističe struja iz kondenzatora,  $I_2$ , realizovan je kao Wilsonovo strujno ogledalo. Uloga ovog strujnog ogledala je da preslika struju koja teče u gornjem izvoru konstantne struje  $I_1$  na takav način da ističe iz kondenzatora. Pošto su struja pražnjenja i struja punjenja kondenzatora izjednačene deo periode koji odgovara linearnom porastu napona biće jednak sa delom periode koji odgovara linearnom padu napona.



# Naponom kontrolisani oscilator

## VCO sa uzmeljenim kondenzatorom (NE566)



Diode D1 i D2 imaju ulogu prekidača. Kada je prekidač S1 otvoren ne teče struja kroz donji strujni generator i dioda D1 ne vodi. Kroz D2 teče struja koja utiče u kondenzator i linearno povećava napon.

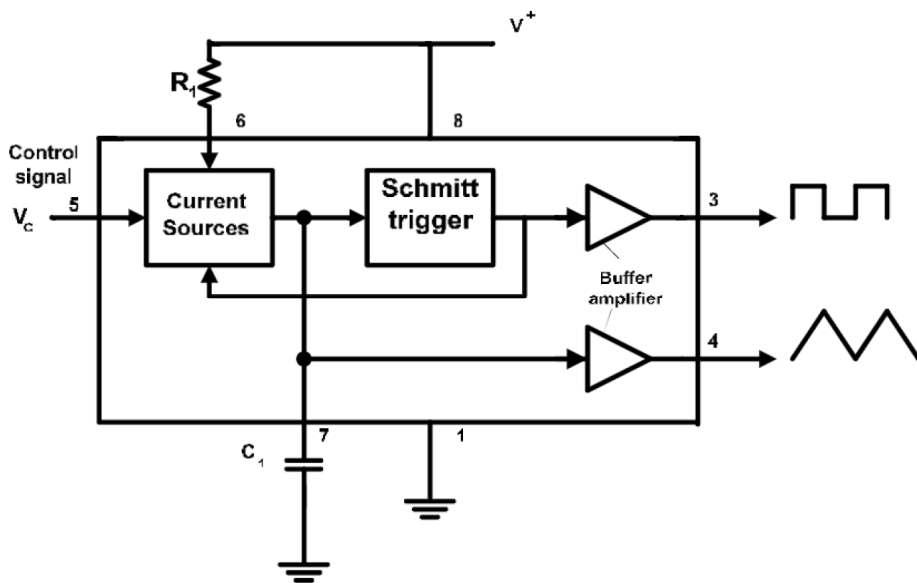
Nakon zatvaranja donjeg prekidača počinje da teče struja kroz donji izvor konstantne struje. Pošto tranzistori Q5, Q5 i Q7 vode, na diodi D2 se uspostavlja napon koji je manji od praga provodjenja:

$$V_{D2} = V_{\gamma} - V_{CB5} < V_{\gamma}$$

Kada je prekidač S1 zatvoren dioda D2 ne vodi i predstavlja prekid dok dioda D1 vodi. Struja ističe preko donjeg strujnog izvora i napon na kondenzatoru počinje da opada.

# Naponom kontrolisani oscilator

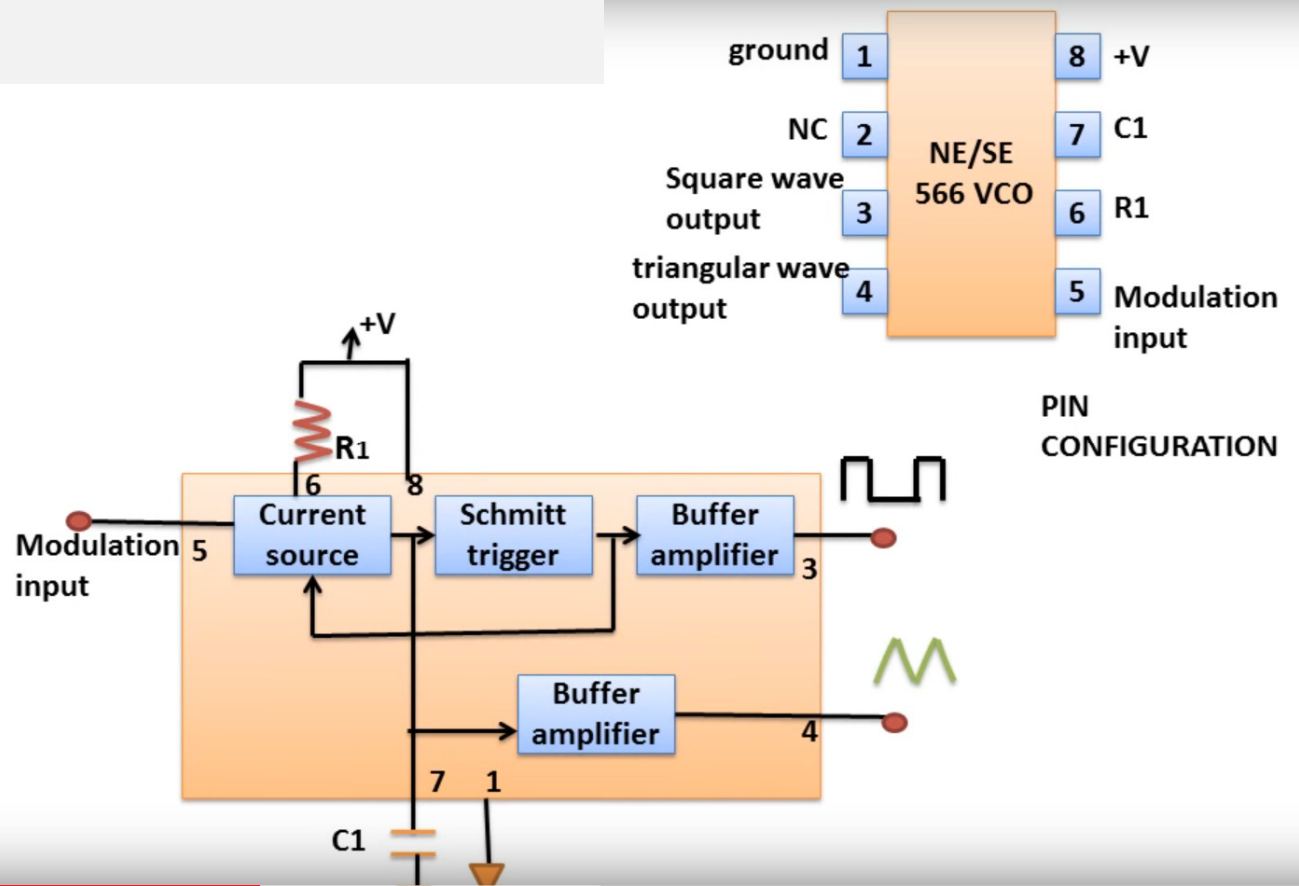
## Naponom kontrolisani oscilator sa uzmeljenim kondenzatorom



Integrirano kolo NE566 je naponom kontrolisani oscilator. Ovo kolo generiše signal pravougaonog i trougaonog talasnog oblika. Da bi se eliminisao uticaj potrošača na rad kola uvode se dva naponska bafera. Bafer priključen na izlaz Šmitovog kola i generiše pravougaoni talasni oblik signala. Drugi bafer koji je priključen na kondenzator generiše trougaoni talasni oblik signala.

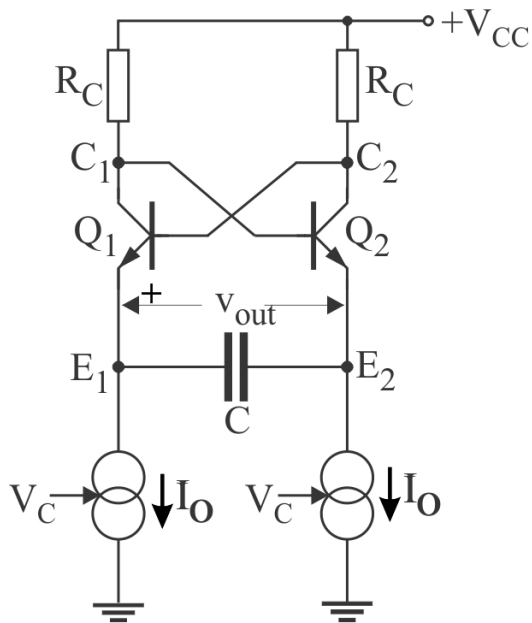
Da bi kolo funkcionisalo potrebno je povezati spolja otpornik  $R$  i kondenzator  $C$ . Promenom vrednosti ovih komponenata menja se frekvencija oscilovanja.

# Naponom kontrolisani oscilator



# Naponom kontrolisani oscilator

## Naponom kontrolisani oscilator sa regenerativnom povratnom spregom



Prikazano kolo sadrži dva invertora koji su povezani na takav način da formiraju regenerativnu povratnu spregu. Izlaz svakog od invertora (kolektor tranzistora) povezan je sa ulazom drugog invertora u kolu (baza tranzistora). Tranzistori  $Q_1$  i  $Q_2$  su povezani na takav način da ne mogu da vode istovremeno. Moguća su samo dva stanja kola:

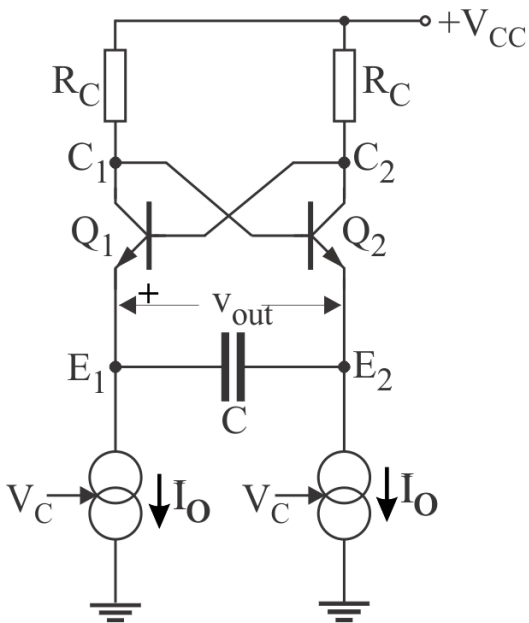
- $Q_1$  u zasiženju  $Q_2$  u zakočenju
- $Q_1$  u zakočenju  $Q_2$  u zasićenju

Kada je  $Q_1$  u zakočenju kroz kondenzator teče jednosmerna struja  $I_0$  levog strujnog generatora. Napon na emitoru tranzistora  $Q_2$ ,  $V_{E2}$ , linearno raste kao  $I_0 \cdot t/C$ . S obzirom da je  $Q_2$  u zasićenju, istovremeno sa porastom napona na emitoru doći će do porasta napona na kolektoru tranzistora  $Q_2$ . Ovaj porast napona će se nastaviti sve dok napon između baze i emitora tranzistora  $Q_1$  ne dostigne prag provođenja. Kada se dostigne taj napon usled postojanja regenerativne povratne sprege tranzistori istovremeno menjaju režim rada.  $Q_1$  postaje počinje da vodi a  $Q_2$  prelazi u zakočenje.



# Naponom kontrolisani oscilator

## Naponom kontrolisani oscilator sa regenerativnom povratnom spregom



Kada je  $Q_1$  u zakočenju kroz kondenzator teče jednosmerna struja  $I_0$  levog strujnog generatora. Napon na emitoru tranzistora  $Q_2$ ,  $V_{E2}$ , linearno raste kao  $I_0 \cdot t/C$ . S obzirom da je  $Q_2$  zasićenju, istovremeno sa porastom napona na emitoru doći će do porasta napona na kolektoru tranzistora  $Q_2$ . Ovaj porast napona će se nastaviti sve dok napon između baze i emitora tranzistora  $Q_1$  ne dostigne prag provođenja. Kada se dostigne taj napon usled postojanja regenerativne povratne sprege tranzistori istovremeno menjaju režim rada.  $Q_1$  počinje da vodi a  $Q_2$  prelazi u zakočenje.

$$V_X = -V_{CES} - V_Y$$

$$V_{out}(t) = V_{E1} - V_{E2} = V_x + \frac{I_0}{C} \cdot t$$

$$V_{out}(t) = -V_{CES} - V_Y + \frac{I_0}{C} \cdot t$$

$V_x$  je napon na kondenzatoru u trenutku kada tranzistor  $Q_1$  pređe iz zakočenja u zasićenje a  $Q_2$  pređe iz zasićenja u zakočenja.

# Naponom kontrolisani oscilator

## Naponom kontrolisani oscilator sa regenerativnom povratnom spregom

Dok vodi tranzistor Q1 struja kroz kondenzator odgovaraće struji kroz desni strujni generator. Napon na kondenzatoru će linearno da raste (za usvojeni smer merenja) sve dok napon između baze i emitora tranzistora Q2, koji je u zakočenju ne dostigne prag provođenja  $V_\gamma$ .

$$V_{out}(t) = -V_{CES} - V_\gamma + \frac{I_o}{C} \cdot t$$

$$V_{BE2}(t) = V_{out}(t) - V_{CES}$$

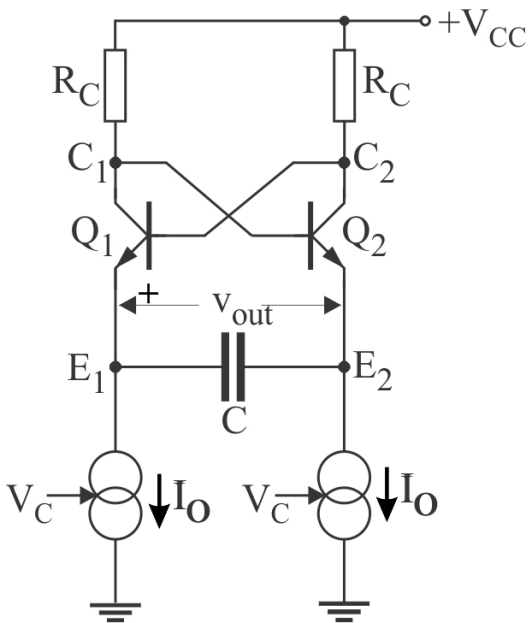
$$V_{BE2}(t_1) = V_{out}(t_1) - V_{CES} = V_\gamma$$

$$V_{out}(t_1) = V_\gamma + V_{CES1}$$

$$V_{out}(t) = V_\gamma + V_{CES} - \frac{I_o}{C} \cdot t$$

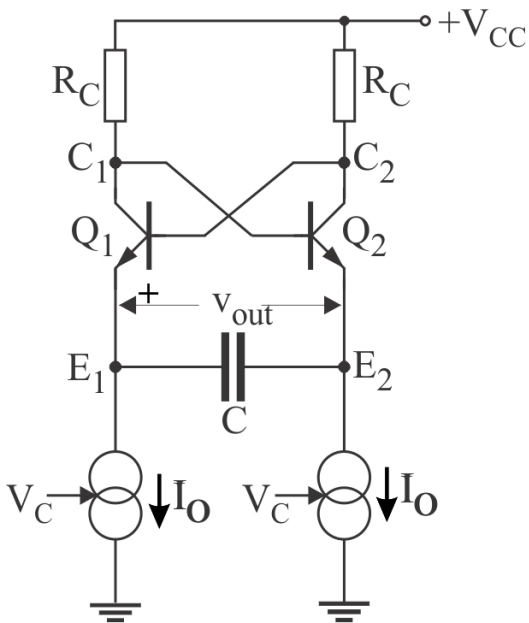
$V_{out}(t_1)$  je je napon na kondenzatoru u trenutku kada tranzistor Q2 pređe iz zakočenja u zasićenje a Q1 pređe iz zasićenja u zakočenja.

Vremenska zavisnost za izlazni napon tokom perioda kada vodi tranzistor Q2, a tranzistor Q1 je u zakočenju.

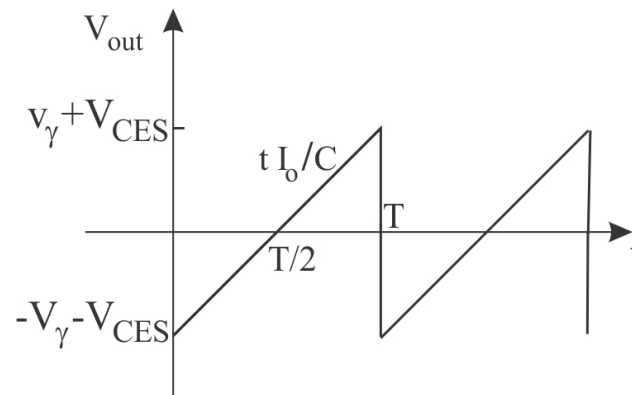


# Naponom kontrolisani oscilator

## Naponom kontrolisani oscilator sa regenerativnom povratnom spregom



Razlika napona na emitorima tranzistora (na kondenzatoru) menja se u vremenu po trougaonom talasnom obliku.



$$T \cdot \frac{I_0}{C} = 2 \cdot (V_\gamma + V_{CES})$$

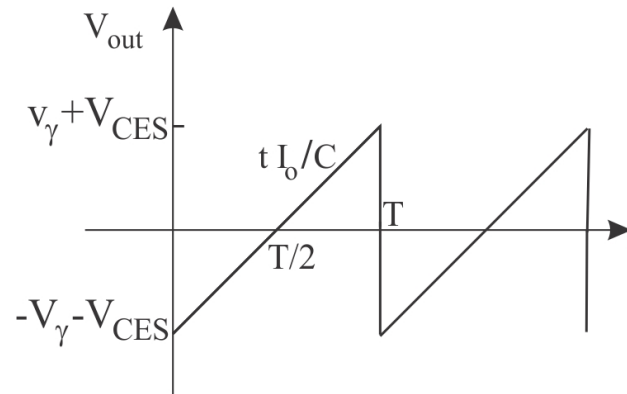
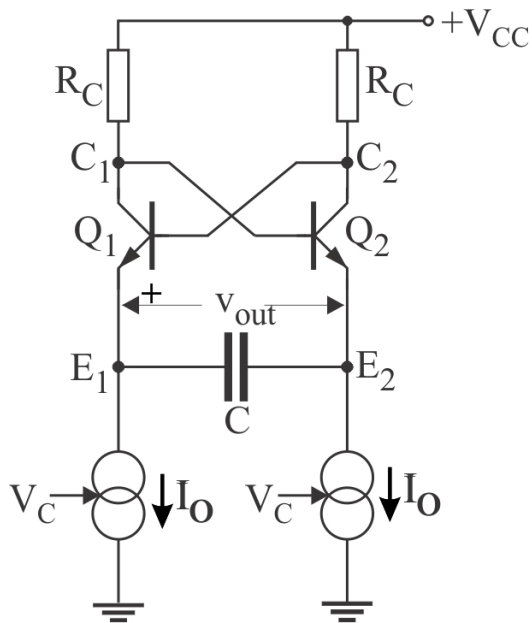
$$f_0 = \frac{1}{T} = \frac{I_0}{2 \cdot C \cdot (V_\gamma + V_{CES})}$$

Frekvencija oscilovanja direktno je srazmena struji kontrolisanih strujnih generatora.

# Naponom kontrolisani oscilator

## Naponom kontrolisani oscilator sa regenerativnom povratnom spregom

Opisano kolo je jedno od potkola u integrisanom kolu NE560. Osnove osobine ovog kola su regenerativna povratna sprega i strujni generator koji napaja kondenzator. Ovaj koncept koristi se i u integrisanim generatorima funkcija. Kod njih se sinusni talasni oblik dobija tako što se napon na krajevima kondenzatora dovodi na ulaz diferencijalnog pojačavača. Na taj način se približno od trougaonog talasnog oblika dobija aproksimacija sinusnog talasnog oblika.



Fazno zatvorena petlja (Phase Locked Loop - PLL)

▪ **Fazno zatvorena petlja (Phase Locked Loop - PLL)** predstavlja sistem sa negativnom povratnom spregom namenjen obradi periodičnog signala. Najvažnije svojstvo ovog sistema je da **generiše izlazni signal čija je faza sinhronizovana sa fazom ulaznog signala**. PLL sistem praktično prati fazu i frekvenciju ulaznog signala.

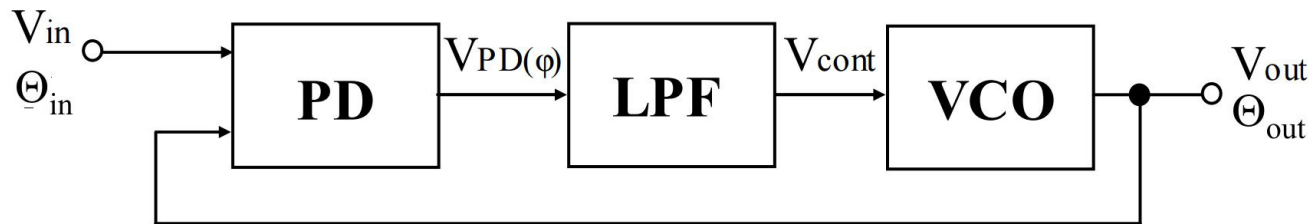
▪ Primena PLL kola je posebno dobila na značaju od kada je započela proizvodnja jeftinih integrisanih kola koja obavljaju funkciju celokupnog sistema.

▪ PLL sistem ima brojne primene u komunikacionim sistemima. Koristi se u:

- FM demodulatorima
- Sintetizatorima frekvencija
- Mobilnim telefonima
- Satelitskim komunikacionim sistemima
- Navigacionim sistemima itd.

▪ Fazno zatvorena petlja (*Phase locked loop* - **PLL**) je sistem sa povratnom spregom koji se sastoji od tri osnovna dela:

- Faznog detektora (Phase detector – PD)
- Niskofrekvencijskog filtra (Low pass filter - LPF)
- Naponom kontrolisani oscilator (Voltage controlled oscillator- *VCO*)



$V_{PD}$  signal greške  
 $V_{cont}$  kontrolišući napon  
 $V_{out}$  izlazni signal VCO

$\theta_{in}$  faza ulaznog signala  
 $\theta_{out}$  faza signala na izlazu

<b>Tip PLL</b>	<b>Fazni detektor</b>	<b>NF filter</b>	<b>VCO</b>
<b>Analogna PLL</b>	Analogni množač	Pasivno RC kolo	Naponom kontrolisan
<b>Digitalna PLL</b>	Digitalni detektor	Pasivno RC kolo	Naponom kontrolisan
<b>Kompletno digitalna PLL</b>	Digitalni detektor	Digitalni filter	Digitalno kontrolisan

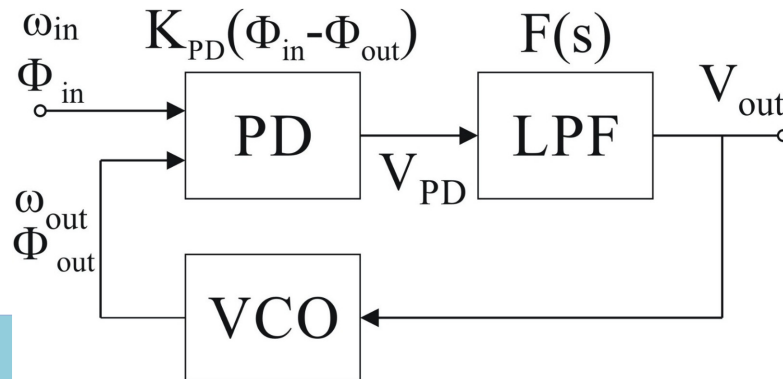


▪ PLL prolazi kroz tri stanja:

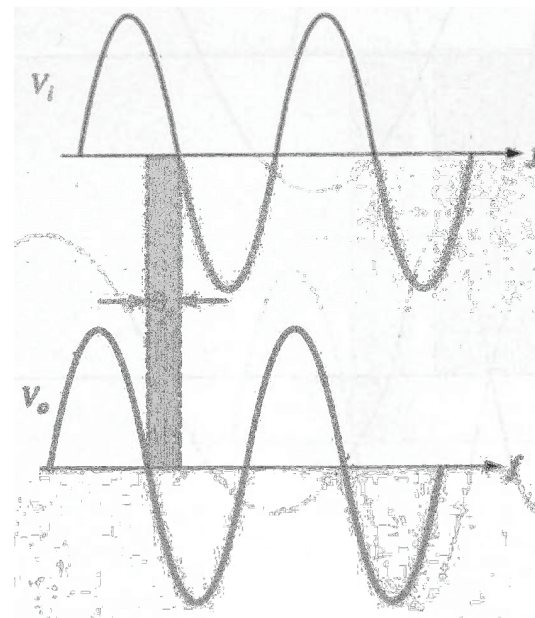
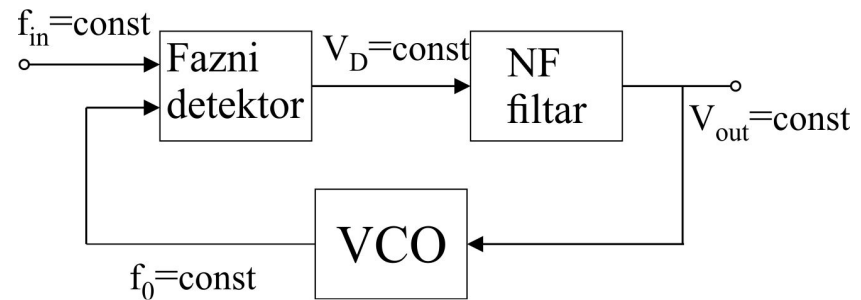
▪ **Slobodan rad (free running)** – Nema signala na ulazu, napon greške  $V_{PD}$  je jednak nuli i VCO osciluje na frekvenciji slobodnog oscilovanja  $\omega_o$ .

▪ **Hvatanje** – Prelazni režim kada se na ulaz sistema dovede periodičan signal čija je frekvencija u blizini frekvencije slobodnog oscilovanja. Tada fazni detektor na izlazu generiše napon  $V_{PD}$  (**napon greške**) koji je srazmeran faznoj razlici između ulaznog signala i signala na izlazu VCO. Jednosmerna komponenta napona greške  $V_{OUT}$  utiče na frekvenciju VCO na taj način da se poništi fazna razlika između ulaznog signala i signala na izlazu VCO. U trenutku kada se frekvencija izlaznog signala,  $\omega_{out}$ , izjednači sa frekvencijom ulaznog signala,  $\omega_{in}$ , petlja postaje sinhronizovana.

▪ **Sinhronizovano stanje** - Nakon što je PLL petlja sinhronizovana naponski kontrolisan oscilator prati promene frekvencije ulaznog signala. Ove promene su obezbeđene zahvaljujući negativnoj povratnoj sprezi koja postoji u PLL-u.

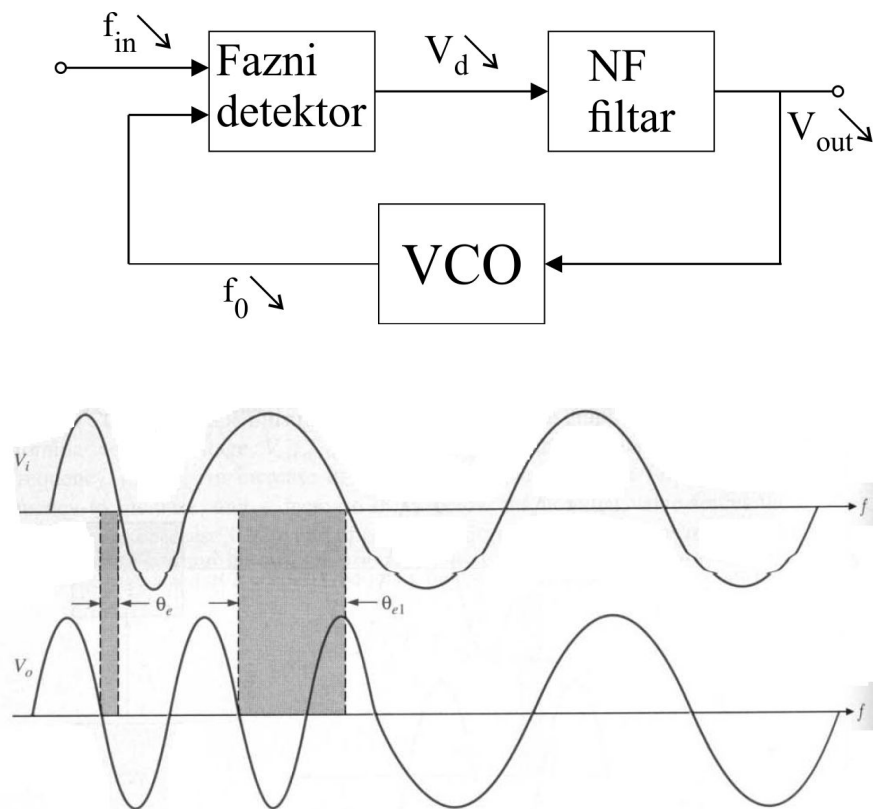


▪ Nakon što je PLL petlja zatvorena (sinhronizovana) signal na ulazu  $v_{in}$  i na izlazu  $v_{out}$  imaju istu frekvenciju. Međutim postoji fazna razlika između ova dva signala koja se zove **statička fazna greška**,  $Q_e$ . Ova fazna razlika je neophodna da bi se na izlazu VCO dobijo signal iste frekvencije kao ulazni signal.



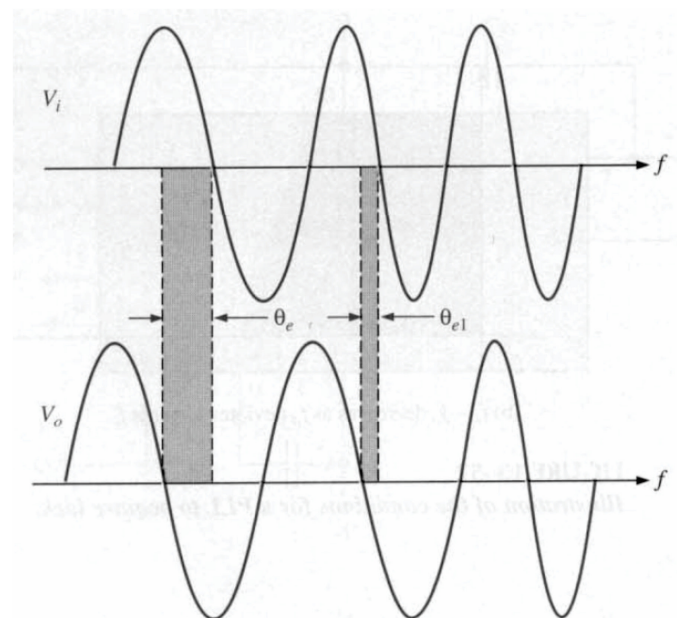
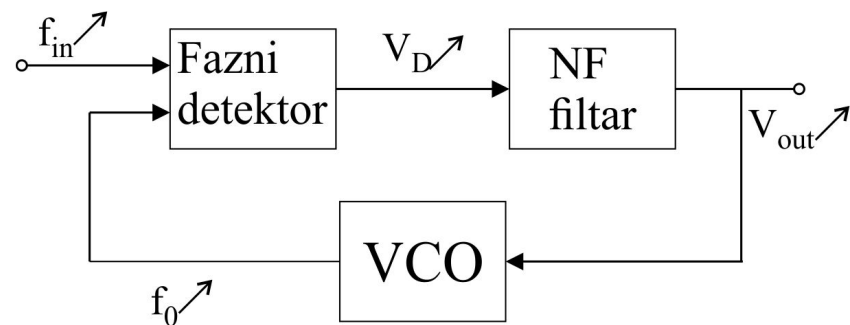
- Ukoliko se frekvencija ulaznog signala smanji dolazi do povećanja fazne razlike od početne vrednosti  $Q_e$  na novu vrednost fazne razlike  $Q_{e1}$ .

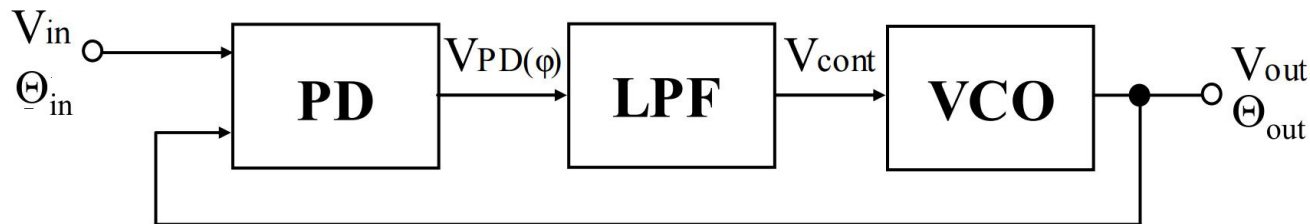
- Pozitivan priraštaj fazne razlike daje na izlazu faznog detektora negativan priraštaj kontrolišućeg napona VCO,  $V_{out}$ . Na kraju se usled smanjenja kontrolišućeg napona  $V_{out}$  smanjuje i frekvencije na izlazu VCO sve dok ne bude ispunjeno  $f_0=f_{in}$ .



- Ukoliko se frekvencija ulaznog signala poveća dolazi do smanjenja fazne razlike od početne vrednosti  $Q_e$  na novu vrednost fazne razlike  $Q_{e1}$ .

- Negativan priraštaj fazne razlike daje na izlazu faznog detektora pozitivan priraštaj kontrolišućeg napona VCO,  $V_{out}$ . Na kraju se usled povećanja kontrolišućeg napona  $V_{out}$  povećava frekvencije signala na izlazu VCO sve dok ne bude ispunjeno  $f_0=f_{in}$ .





- Fazni detektor na izlazu daje napon srazmeran razlici faza ulaznih signala,

$$V_{PD} = K_D \cdot (\Phi_{in} - \Phi_{out})$$

#### Kd je **pojačanje faznog detektora**

- Izlaz faznog detektora se priključuje na filter propusnik niskih frekvencija da bi na izlazu dao jednosmerni napon koji se naziva **napon greške**.
- Frekvencija signala na izlazu VCO je direktno proporcionalna jednosmernom naponu na ulazu:

$$\omega_{osc} = \omega_o + K_o \cdot V_{cont}$$

$K_o$  je **pojačanje ili osetljivost VCO**;  $\omega_o$  je **frekvencija slobodnog oscilovanja**

Praktično se frekvencija izlaznog signala  $\omega_{out}$  podešava sve dok se ne izjednači sa frekvencijom ulaznog signala  $\omega_{in}$ .

## Naponom kontrolisani oscilator

### Osnovna pitanja

1. Pojam naponom kontrolisanog oscilatora i tipovi naponom kontrolisanih oscilatora.
2. Pojam fazno zatvorene petlje i blok šema fazno zatvorene petlje.
3. Tri stanja fazno zatvorene petlje. Statička fazna greška i prikaz talasnih oblika na ulazu i izlazu kada se menja frekvencija oscilovanja u sinhronizovanoj PLL petlji.

### Ostala pitanja

4. Oscilator baziran na kašnjenju - Ring oscilator.
5. VCO sa uzmeljenim kondenzatorom (blok šema i talasni oblici napona).
6. Strujni generatori kontrolisani naponom u integrisanom kolu NE566.
7. Relaksacioni oscilator sa uzmeljenim kondenzatorom.
8. Naponom kontrolisani oscilator sa regenerativnom povratnom spregom (električna šema i princip rada).
9. Izvođenje izraza za vremensku zavisnost i frekvenciju oscilovanja naponom kontrolisanog oscilatora sa regenerativnom povratnom spregom.