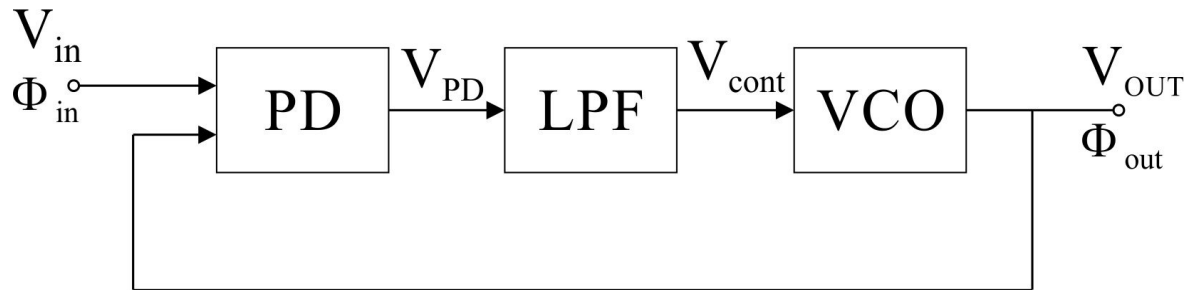


Fazno zatvorena petelja (PLL)



- Fazni detektor na izlazu daje napon srazmeran razlici faza ulaznih signala,

$$V_{PD} = K_D \cdot (\Phi_{in} - \Phi_{out})$$

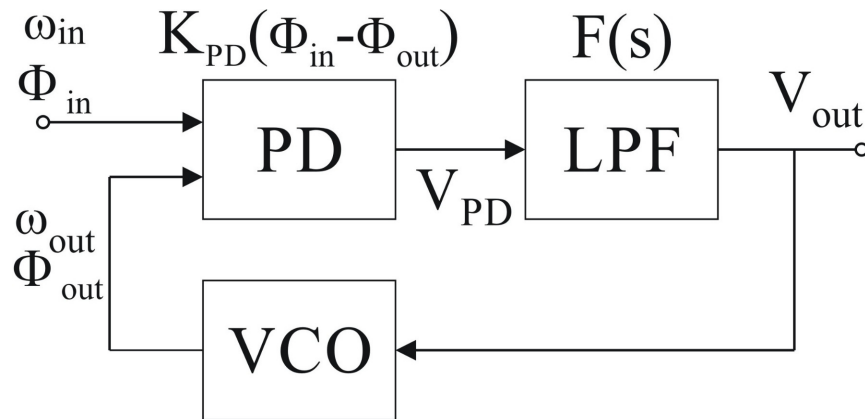
K_D je **pojačanje faznog detektora**

- Izlaz faznog detektora se priključuje na filter propusnik niskih frekvencija koji na izlazu daje napon koji se naziva **napon greške**.
- Frekvencija signala na izlazu VCO je direktno proporcionalna jednosmernom naponu na ulazu:

$$\omega_{out} = \omega_o + K_{VCO} \cdot V_{cont}$$

K_0 je **pojačanje ili osetljivost VCO**

Fazno zatvorena petelja (PLL)



$$\Delta\Phi = \Phi_{in} - \Phi_{osc} = (\omega_{in} \cdot t + \varphi_{in}) - (\omega_{out} \cdot t + \varphi_{out})$$

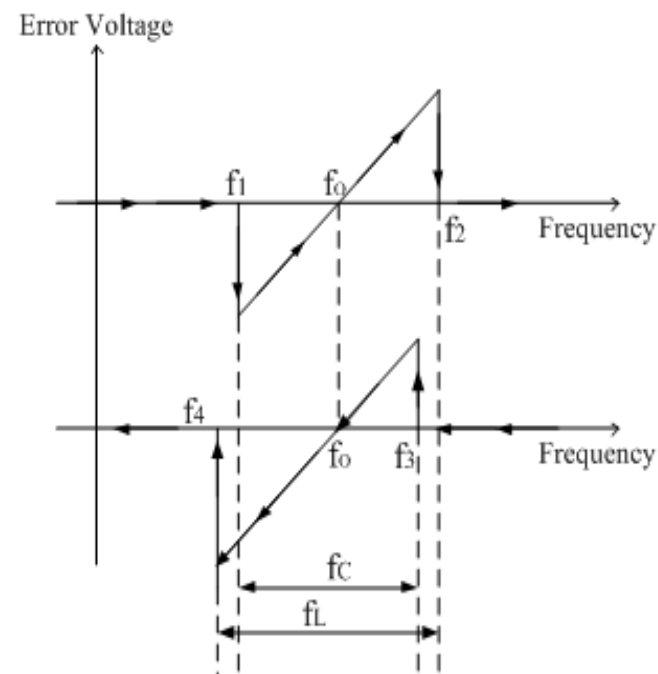
$$\Delta\Phi = const \Rightarrow \frac{d\Phi_{in}}{dt} = \frac{d\Phi_{out}}{dt} \Rightarrow \omega_{in} = \omega_{osc}$$

- Fazno zatvorena petlja je sistem sa negativnom povratnom spregom. Kada je sistem sinhronizovan fazna razlika između ulaznog i izlaznog signala je konstantna. To praktično znači da je tada frekvencija izlaznog signala ω_{out} izjednačena sa frekvencijom ulaznog signala ω_{in} .

Fazno zatvorena petelja (PLL)

Opseg hvatanja i opseg držanja

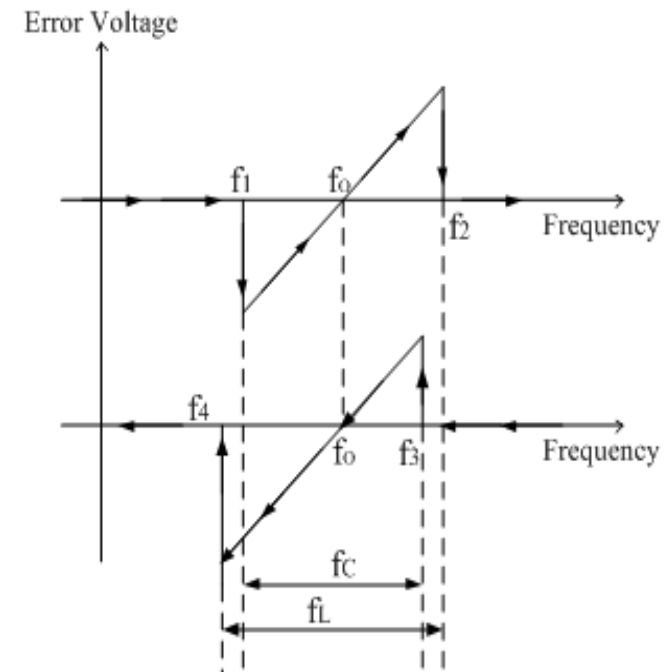
- Ukoliko nema ulaznog signala PLL sistem je u **stanju slobodnog hoda**, odnosno nije sinhronizovan. U tom slučaju VCO osciluje na **frekvenciji slobodnog oscilovanja**, ω_0 . Ovo je posledica činjenice da je signal greške na izlazu NF filtra jednak nuli.
- Gornja slika prikazuje zavisnost napona greške od frekvencije ulaznog signala polazeći od situacije kada petlja nije sinhronizovana i kada se postepeno povećava frekvencija ulaznog signala. Pretpostavlja se da je početna frekvencija manja od frekvencije slobodnog oscilovanja.
- Kada frekvencija spoljašnjeg signala dostigne vrednost **donje granice opsega hvatanja** f_1 dolazi do naglog pada napona greške i istovremeno se menja frekvencija oscilovanja VCO. To praktično znači da je na toj frekvenciji uspostavljena sinhronizacija petlje.
- Daljim povećanjem frekvencije ulaznog signala linearno se povećava signal greške. Kada frekvencija ovog signala dostigne vrednost f_2 koja odgovara **gornjoj frekvenciji opsega držanja** PLL ispada iz sinhronizacije i napon greške postaje jednak nuli.



Fazno zatvorena petelja (PLL)

Opseg hvatanja i opseg držanja

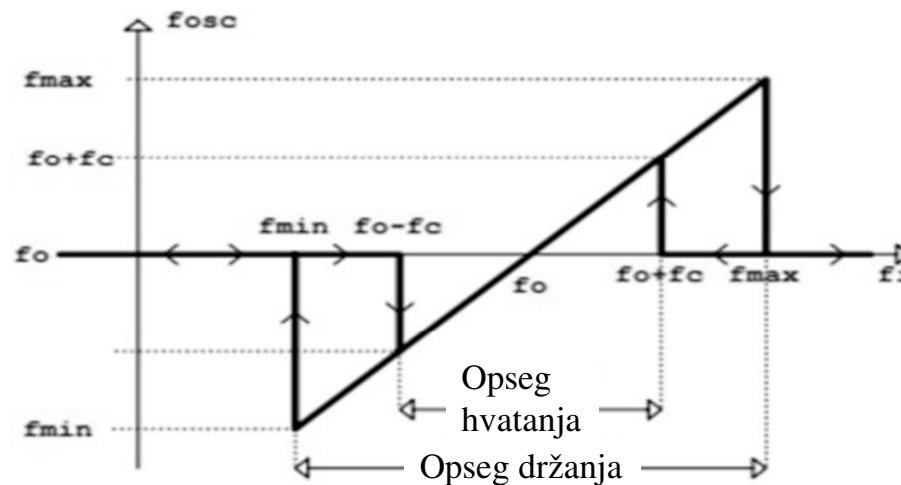
- Donja slika prikazuje zavisnost napona greške od frekvencije ulaznog signala polazeći od situacije kada petlja nije sinhronizovana i kada se postepeno smanjuje frekvencija ulaznog signala. Pretpostavlja se da je početna frekvencija veća od frekvencije slobodnog oscilovanja.
- Kada frekvencija signala dostigne vrednost f_3 koja odgovara **gornjoj frekvenciji opsega hvatanja** uspostavlja se sinhronizacija. U tom trenutku dolazi do nagle promene napona greške.
- Daljim smanjivanjem frekvencije napon greške se linearno smanjuje sve dok se ne dostigne vrednost f_4 koja odgovara **donjoj granici opsega držanja** kada napon greške naglo pada na nulu jer PLL petlja ispada iz sinhronizacije.



Fazno zatvorena petelja (PLL)

Opseg hvatanja i opseg držanja

- Opseg frekvencija ulaznog signala za koji PLL petlja koja je sinhronizovana ostaje u sinhronizaciji, odnosno pratiti promene frekvencije ulaznog signala, naziva se **opseg držanja (lock range)**.
- Opseg frekvencija ulaznog signala za koji PLL petlja koja nije sinhronizovana uspostavlja sinhronizaciju naziva se **opseg hvatanja (capture range)**.
- Opseg hvatanja uvek je uži od opsega držanja.



Fazno zatvorena petelja (PLL)

Fazni detektor

- Zavisno do tipa faznog detektora PLL je analogan ili digitalan.
- Analogni fazni detektor
 - Analogni množač
- Digitalni fazni detektori su:
 - Isključivo ili kolo (EXOR kolo).
 - Flip-flop sa ivičnim okidanjem
 - Monolitski fazni detektor

Fazno zatvorena petelja (PLL)

Analogni fazni detektor

Realizuje se kao **analogni množač** tako da je napon na izlazu faznog detektora:

$$v_d = V_{in} \cdot \sin(\omega_{in} \cdot t + \Theta_i) \cdot V_{out} \cdot \sin(\omega_{out} \cdot t + \Theta_o)$$

Kada je petlja zatvorena važi:

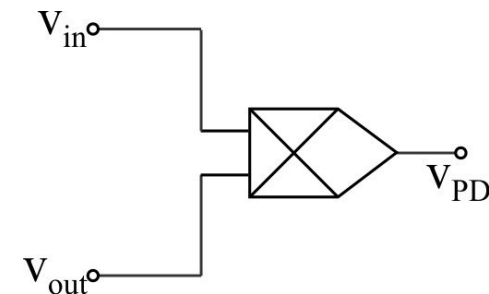
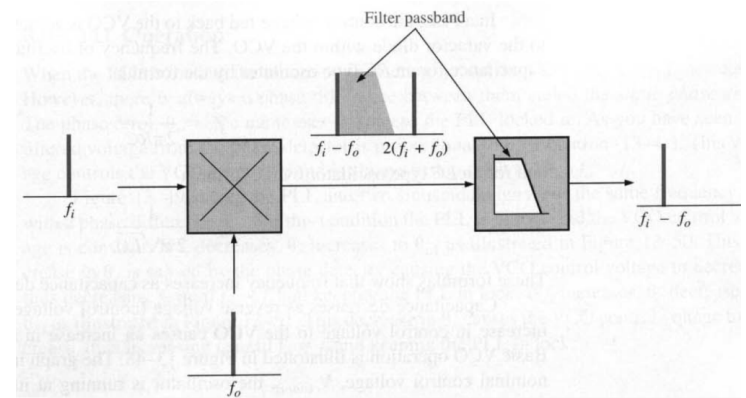
$$\omega_{in} = \omega_{out}$$

$$V_{PD} = \frac{V_{in} \cdot V_{out}}{2} \cdot [\cos(\Theta_i - \Theta_o) - \cos(2 \cdot \omega_{in} \cdot t + \Theta_i + \Theta_o)]$$

Nakon prolaska kroz NF filter dobija se:

$$V_{PD} = \frac{V_{in} \cdot V_{out}}{2} \cos(\Theta_i - \Theta_o)$$

Napon na izlazu faznog detektora sadrži informaciju o faznoj razlici ali zavisnost nije linearna.

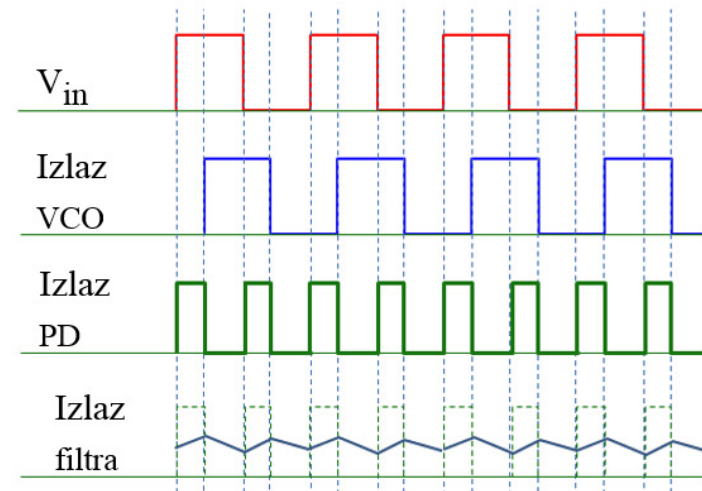


Fazno zatvorena petelja (PLL)

Fazni detektor

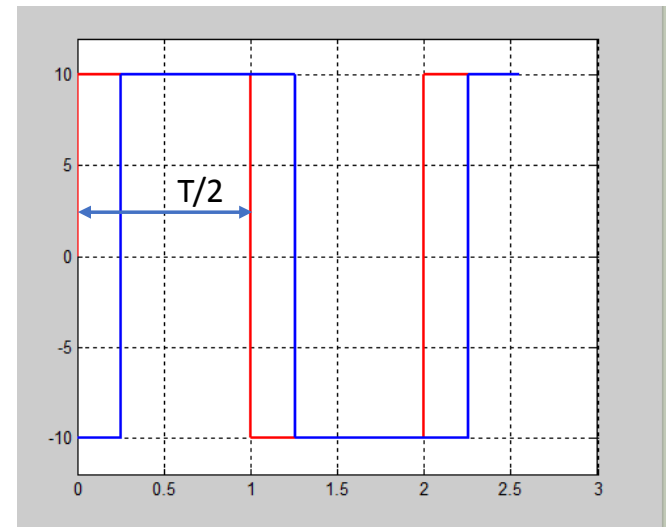
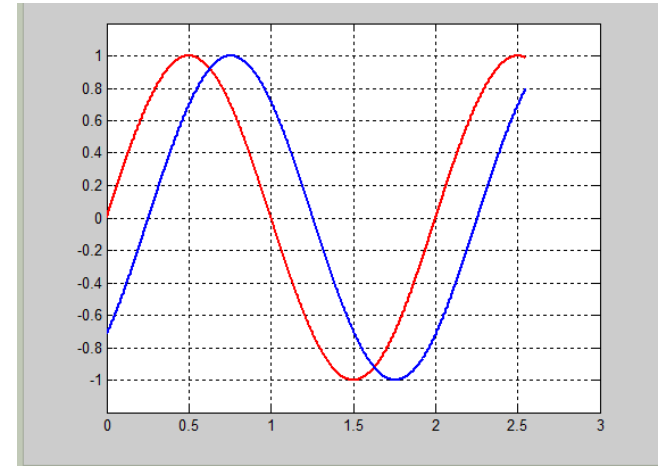
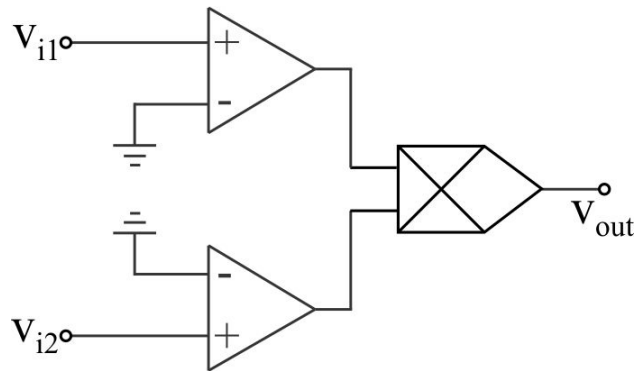
- Fazni dektor zasnovan na primeni „isključivo ili“ (XOR) logičkog kola koristi se za obradu periodičnog signala četvrtastog talasnog oblika. Signal koji se obrađuje ima dva diskretna nivoa, niži naponski nivo je logička nula a viši naponski nivo logička jedinica. Isključivo ili kolo daje na izlazu logičku jedinicu kada se signali na ulazu razlikuju, a logičku nulu uvek kada su signali na ulazu isti. Flip-flop sa XOR kolom detektuje faznu razliku od $-\pi/2$ do $\pi/2$ (opseg fazne razlike od π).

<i>A</i>	<i>B</i>	<i>A</i> \oplus <i>B</i>
0	0	0
0	1	1
1	0	1
1	1	0



Fazno zatvorena petelja (PLL)

Na slici je prikazano kolo faznog detektora koji ima linearnu faznu karakteristiku a namenjeno je obradi signala sinusnog talasnog oblika. Primenom komparatora ulazni signal i signal koji se vrati povratnom spregom sinusna signala se konvertuju iz sinusnog u pravougaoni talasni oblik. Nakon toga se dva pravougaona signala množe. Kao i kod faznog detektora koji sadrži samo množač frekvencija signala na izlazu je dvostruko veća od frekvencije ulaznog signala i iznosi $2\omega_0$.



Fazno zatvorena petelja (PLL)

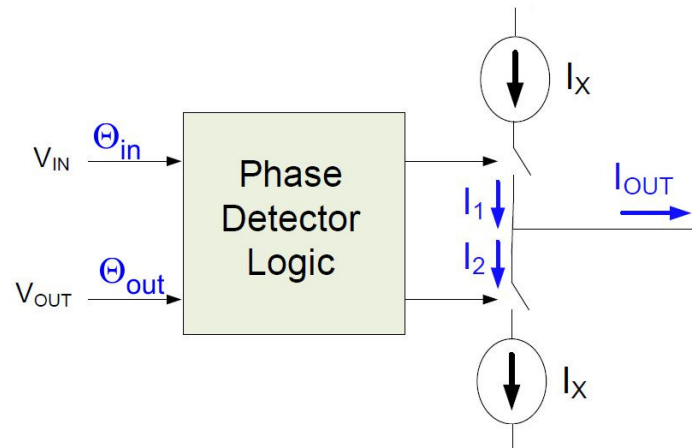
Fazni detektor

- **Flip-flop sa ivičnim okidanjem** se koristi kao fazni detektor za signale pravougaonog talasnog oblika. Ovo kolo menja stanje na izlazu kada nastane pozitivna ivica, odnosno promena od logičke nule na logičku jedinicu na bilo kojem od dva ulaza. Najčešće se realizuje kao RS flip-flop sačinjen od dva NILI logička kola.
- Perioda signala na izlazu flip-flopa sa ivičnim okidanjem je 2π za razliku od faznog detektora realizovanog EXOR kolom kod koga je perioda izlaznog signala π . Flip-flop sa ivičnim okidanjem detektuje faznu razliku od $-\pi$ do π (opseg fazne razlike od 2π), što predstavlja duplo veću vrednost u odnosu na fazni detektor realizovan XOR kolom.

Fazno zatvorena petelja (PLL)

Fazni detektor

- **Monolitski fazni detektor** primenjuje strujne pumpe. Logika faznog detektora uključuje dva prekidača:
 - Gornji prekidač ukoliko je $Q_{in} > Q_{out}$ i tada je struja pozitivna za usvojeni smer.
 - Donji prekidač ukoliko je $Q_{in} < Q_{out}$ i tada je struja negativna za usvojeni smer.
- Srednja vrednost izlazne struje I_{OUT} određuje faznu razliku.

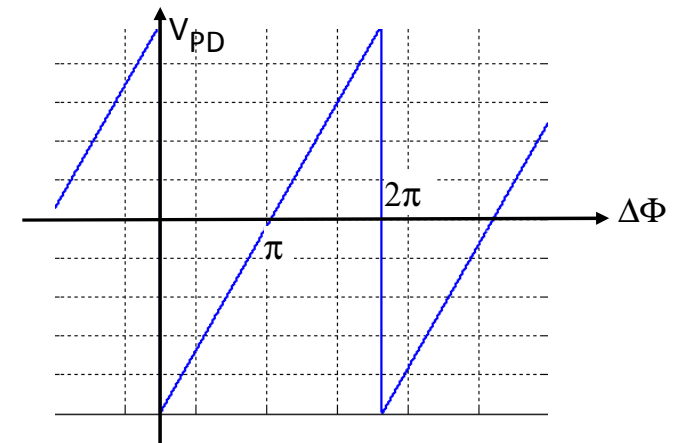
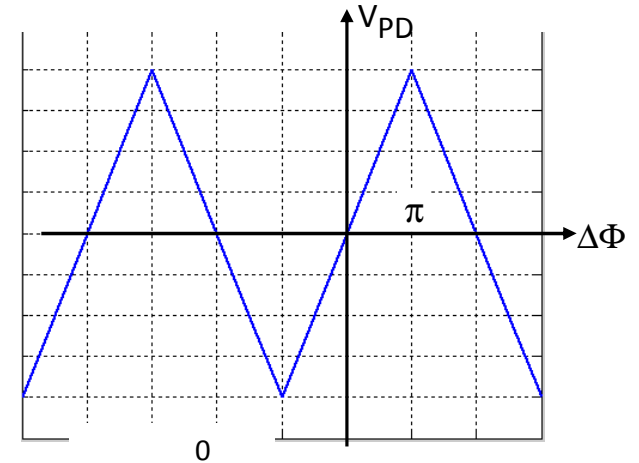
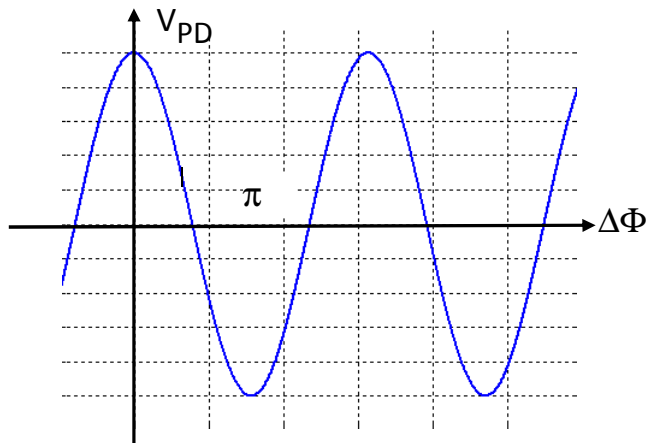


Fazno zatvorena petelja (PLL)

Postoje tri tipa faznih detektora u zavisnosti od fazne karakteristike:

- 1) Sa kosinusnom prenosnom karakteristikom (analogni množači)
- 2) Sa trouganom prenosnom karakteristikom (XOR kolo)
- 3) Sa testerastom prenosnom karakteristikom (Flip-flop sa ivičnim okidanjem)

Poželjno je da prenosna karakteristika bude linearna (trougaona ili testerasta). Kada je signal mali i kosinusna fazna karakteristika može da se tretira kao linearna. Najveći dinamički opseg ima fazni detektor sa testerastom faznom karakteristikom i on iznosi 2π . Dinamički opseg kod faznih detektora sa kosinusnom i trougaonom faznom karakteristikom je duplo manji i iznosi π .



Fazno zatvorena petelja (PLL)

Određivanje opsega držanja (lock range)

Opseg držanja (lock range) je uslovljen dinamičkim opsegom faznog detektora ili opsegom podešavanja naponom kontrolisanog oscilatora (opseg unutar koga se može menjati frekvencija VCO). U najvećem broju slučajeva opseg držanja definiše fazni detektor.

Ukoliko razmatramo fazni detektor sa kosinusnom prenosnom karakteristikom dobija se:

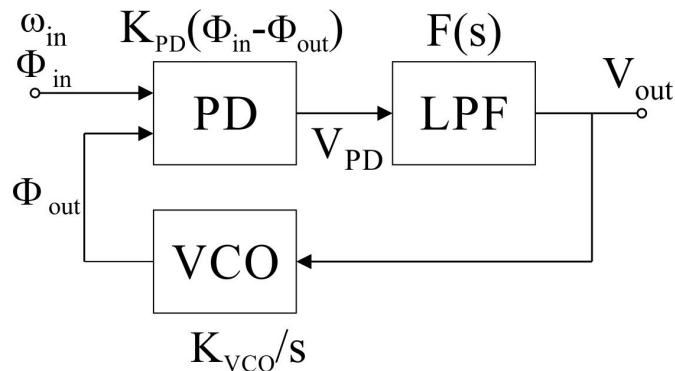
$$\omega_i = \omega_o + K_{VCO} \cdot V_{out}$$

$$V_{out} = K_{LP} \cdot K_{PD} \cdot \cos(\Phi_{in} - \Phi_{out})$$

$$-K_{LP} \cdot K_{PD} < V_{out} < K_{LP} \cdot K_{PD}$$

$$\omega_i > \omega_o - K_{VCO} \cdot K_{LP} \cdot K_{PD}$$

$$\omega_i < \omega_o + K_{VCO} \cdot K_{LP} \cdot K_{PD}$$



Kada se razmatra fazni detektor sa linearnom prenosnom karakteristikom, opseg unutar koga se kreće napon na ulazu VCO određen je dinamičkim opsegom faznog detektora, $\Delta\Phi$.

$$\omega_i = \omega_o + K_{VCO} \cdot V_{out}$$

$$V_{out} = K_{LP} \cdot K_{PD} \cdot (\Phi_{in} - \Phi_{out})$$

$$-\frac{\pi}{2} < \Phi_{in} - \Phi_{out} < \frac{\pi}{2}$$

$$-K_{LP} \cdot K_{PD} \cdot \frac{\pi}{2} < V_{out} < K_{LP} \cdot K_{PD} \cdot \frac{\pi}{2}$$

$$\omega_i > \omega_o - K_{VCO} \cdot K_{LP} \cdot K_{PD} \cdot \frac{\pi}{2}$$

$$\omega_i < \omega_o + K_{VCO} \cdot K_{LP} \cdot K_{PD} \cdot \frac{\pi}{2}$$

Fazno zatvorena petelja (PLL)

Analiza PLL petlje u frekvencijskom domenu

- PLL može da se analizira kao linerni sistem sa povratnom spregom. Prenosna funkcija se opisuje u s- domenu. Pri tome je neophodno pretpostaviti da je PLL petlja fazno zatvorena (sinhronizovan) u odnosu na ulazni signal.
- Ova analiza nam omogućava da vidimo kako izlazni signal varira u zavisnosti od ulaznog signala i prenosne funkcije kružnog pojačanja.

- Prilikom frekvencijske analize prenosne funkcije za pojedine blokove su:

- Fazni korektor $\frac{V_{PD}}{\Delta\Phi} = K_{PD}$

- NF filter $\frac{V_{out}}{V_{PD}} = F_{LP}(s)$

- Naponski kontrolisan oscilator, VCO, primenjuje integraciju ulaznog signala, pa je njegova prenosna funkcija: $\frac{\Phi_{out}}{V_{out}} = \frac{K_{VCO}}{s}$

Fazno zatvorena petelja (PLL)

Analiza PLL petlje u frekvencijskom domenu

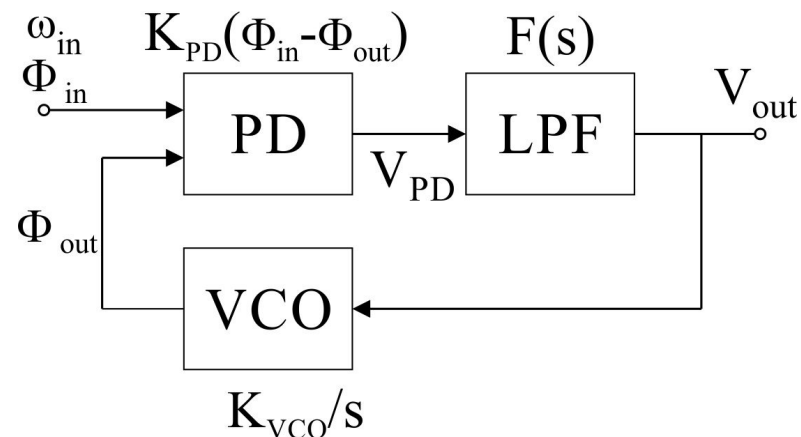
Pod pretpostavkom da je PLL petlja sinhronizovana i da radi u linearnom režimu rada može se izvršiti analiza u frekvencijskom domenu.

$$T(s) = K_{PD} \cdot F_{LP}(s) \cdot \frac{K_{VCO}}{s} \quad \text{Kružno pojačanje}$$

$$\Phi_{out}(s) = \frac{K_{VCO} \cdot K_{PD}}{s} F_{LP}(s) (\phi_{in}(s) - \phi_{out}(s))$$

$$H(s) = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{T(s)}{1 + T(s)} \quad \text{Prenosna funkcija}$$

$$H(s) = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{VCO} \cdot K_{PD} \cdot F_{LP}(s)}{s + K_{VCO} \cdot K_{PD} \cdot F_{LP}(s)}$$



Fazno zatvorena petelja (PLL)

Prenosna funkcija PLL petlje kada je upotrebljen filtar sa jednim polom

$$H(s) = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{VCO} \cdot K_{PD} \cdot F_{LP}(s)}{s + K_{VCO} \cdot K_{PD} \cdot F_{LP}(s)}$$

$$F_{LP}(s) = \frac{1}{1 + \frac{s}{\omega_{LP}}}$$

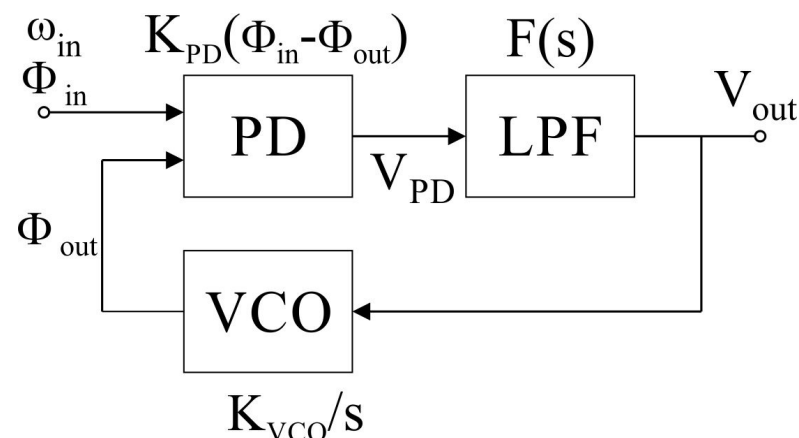
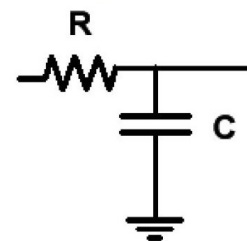
$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{1}{1 + \frac{s}{T_o} + \frac{s^2}{T_o \cdot \omega_{LP}}}$$

$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{1}{1 + \frac{s}{Q \cdot \omega_o} + \frac{s^2}{\omega_o^2}}$$

$$T_o = K_{VCO} \cdot K_{LP} \cdot K_{PD}$$

$$Q = \sqrt{\frac{T_o}{\omega_{LP}}}$$

$$\omega_o = \sqrt{T_o \cdot \omega_{LP}}$$



ω_o moduo frekvencije pola

Q – ku faktor polova

T_o – jednosmerno kružno pojačanje

Fazno zatvorena petelja (PLL)

Prenosna funkcija PLL petlje kada je upotrebljen filtar sa jednim polom

$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{1}{1 + \frac{s}{Q \cdot \omega_o} + \frac{s^2}{\omega_o^2}}$$

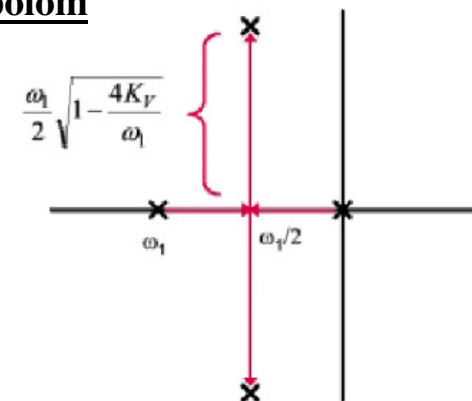
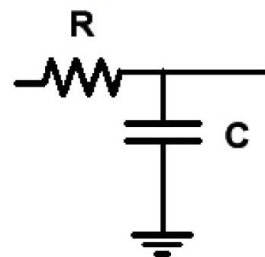
$$T_o = K_{VCO} \cdot K_{LP} \cdot K_{PD}$$

$$Q = \sqrt{\frac{T_o}{\omega_{LP}}} \quad \omega_o = \sqrt{T_o \cdot \omega_{LP}} \quad \omega_{LP} = \frac{1}{R \cdot C}$$

ω_o frekvencija slobodnog oscilovanja

Q – ku faktor polova

T_o – jednosmerno kružno pojačanje

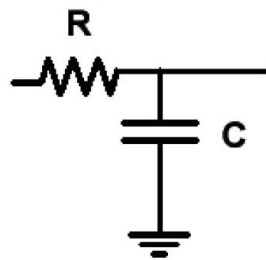


Vrednost Q faktora utiče na stabilnost kola i brzinu odziva u prelaznom režimu. Uobičajeno je da se Q faktor se podešava na vrednost od 0,707 koja predstavlja kompromis između brzine i stabilnosti. Sa povećanjem vrednosti Q faktora smanjuje se margina faze i kolo postaje nestabilnije. Iz jednačine za Q faktor sledi da sa povećanjem jednosmernog kružnog pojačanja kolo postaje nestabilnije.

Fazno zatvorena petelja (PLL)

Prenosna funkcija PLL petlje kada je upotrebljen filtar sa jednim polom

Pol filtra ω_{LP} treba tako odabrati da amplitudska karakteristika kružnog pojačanje padne ispod 0 dB na frekvenciji koja je bar za dekadu manja od frekvencija parazitnog pola ω_x , jer u tom slučaju parazitni pol ne utiče na marginu faze. Takođe potrebno je da $\omega_{LP} < \omega_1$ da bi margina faze bila veća od 45° .

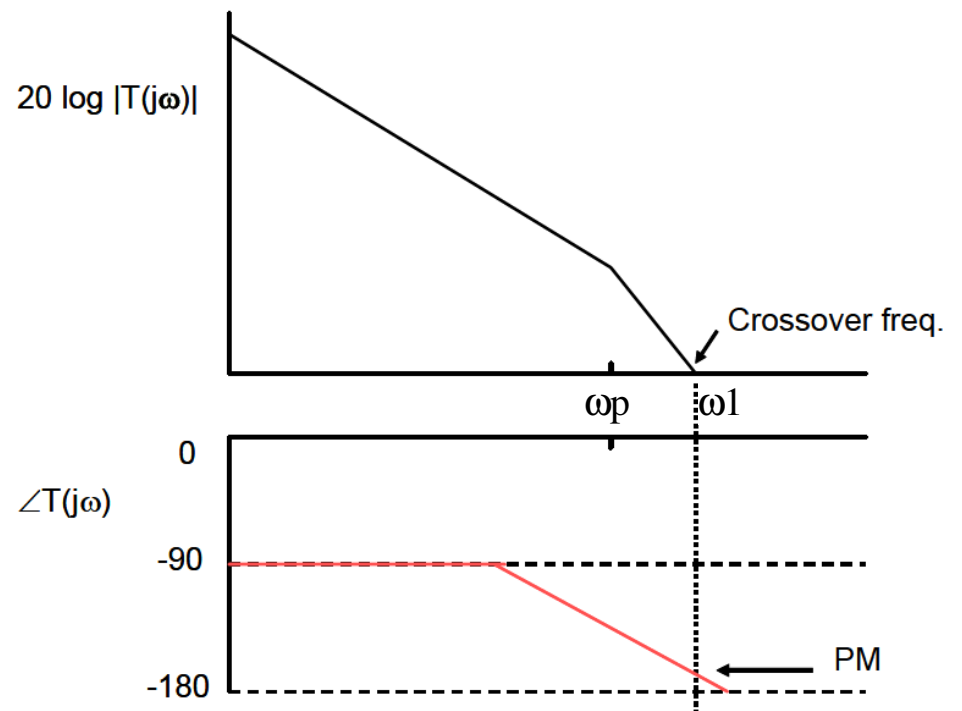


$$T(s) = K_{PD} \cdot \frac{K_{VCO}}{s} \cdot F_{LP}(s)$$

$$|T(j\omega_1)| = 1$$

$$PM = 180 - 90 - \arctan \frac{\omega_1}{\omega_{LP}} - \arctan \frac{\omega_1}{\omega_x}$$

$$\omega_1 < 10 \cdot \omega_x \quad \omega_{LP} < \omega_1$$



Fazno zatvorena petelja (PLL)

Prenosna funkcija PLL petlje kada je upotrebljen filter sa jednim polom i jednom nulom

$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{VCO} \cdot K_{PD} \cdot F_{LP}(s)}{s + K_{VCO} \cdot K_{PD} \cdot F_{LP}(s)}$$

$$F_{LP}(s) = \frac{1 + s \cdot C \cdot R_2}{1 + s \cdot C \cdot (R_1 + R_2)} = K_{LP} \frac{1 + \frac{s}{\omega_Z}}{1 + \frac{s}{\omega_P}}$$

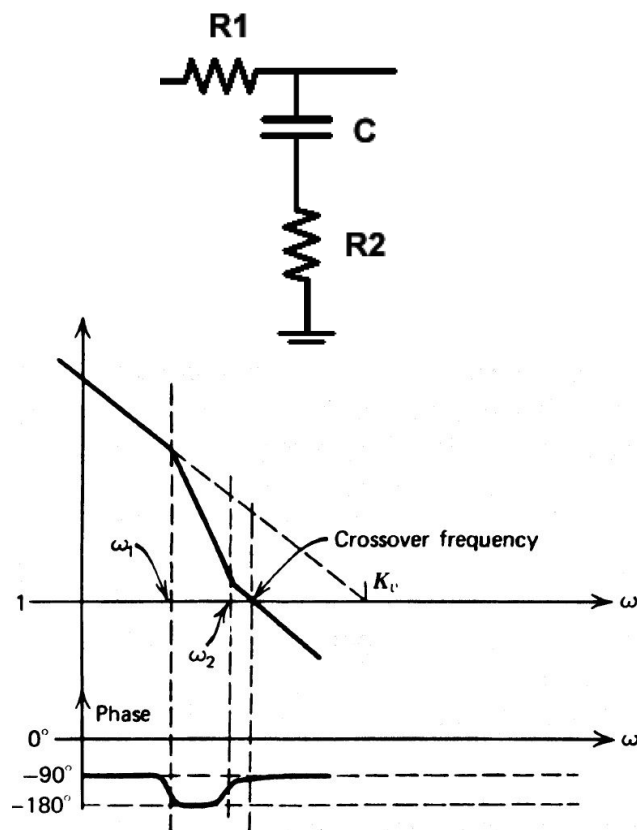
$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{1 + \frac{s}{\omega_Z}}{1 + \frac{s}{Q \cdot \omega_0} + \frac{s^2}{\omega_0^2}}$$

$$\omega_P = \frac{1}{C \cdot (R_1 + R_2)} \quad \omega_Z = \frac{1}{C \cdot R_2} \quad K_{LP} = \frac{R_2}{R_1 + R_2}$$

$$Q = \sqrt{\frac{T_o}{\omega_{LP}}} \cdot \left(\frac{\omega_Z}{\omega_Z + T_o} \right)$$

$$\omega_0 = \sqrt{T_o \cdot \omega_{LP}}$$

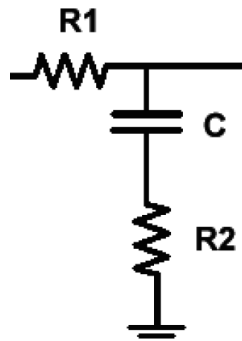
Filtar koji sadrži pol i nulu omogućava nezavisno podešavanje modula pola i Q-faktora pola. Vrednost otpornika R2 direktno utiče na Q faktor pola.



Fazno zatvorena petelja (PLL)

Prenosna funkcija PLL petlje kada je upotrebljen filter sa jednim polom i jednom nulom

Kod filtra sa nulom i polom stabilnost je manje kritična u odnosu na filter koji sadrži samo pol. Frekvencija nule je za ovo kolo uvek veća od frekvencije pola. Da bi se dobila povoljna vrednost margine faze potrebno je da se frekvencija nule izabere tako da bude manja od frekvencije jediničnog kružnog pojačanja.



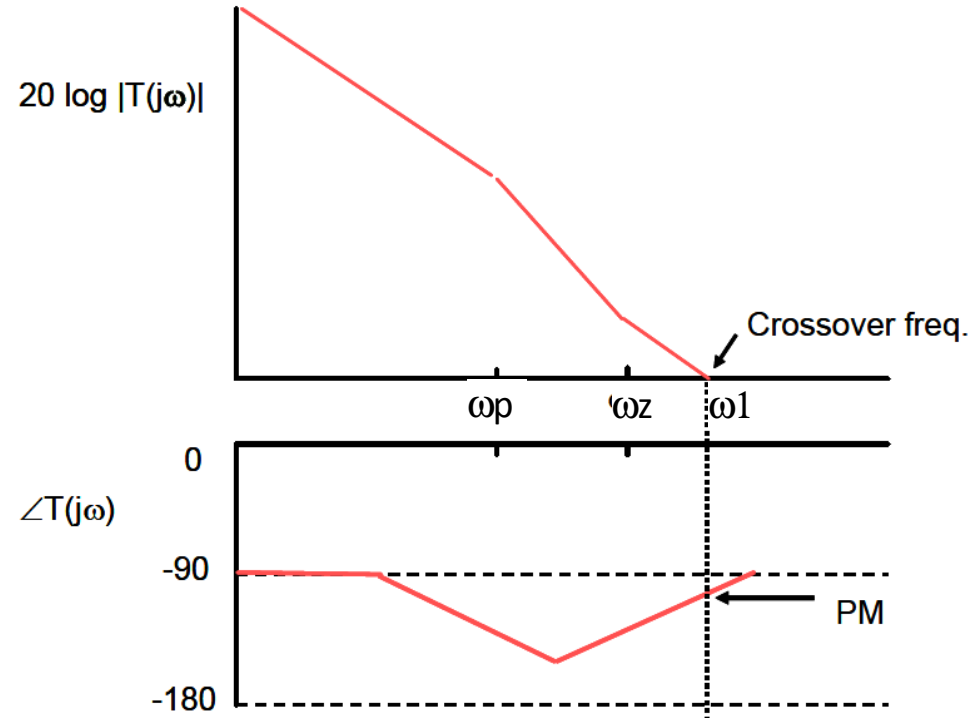
$$T(s) = K_{PD} \cdot \frac{K_{VCO}}{s} \cdot F_{LP}(s)$$

$$|T(j\omega_1)| = 1$$

$$F_{LP}(s) = K_{LP} \frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_p}} \quad \omega_z > \omega_p$$

$$PM = 180 - 90 - \arctan \frac{\omega_1}{\omega_p} + \arctan \frac{\omega_1}{\omega_z} - \arctan \frac{\omega_1}{\omega_x}$$

$$\omega_z < \omega_1 \quad \omega_p < \omega_1$$

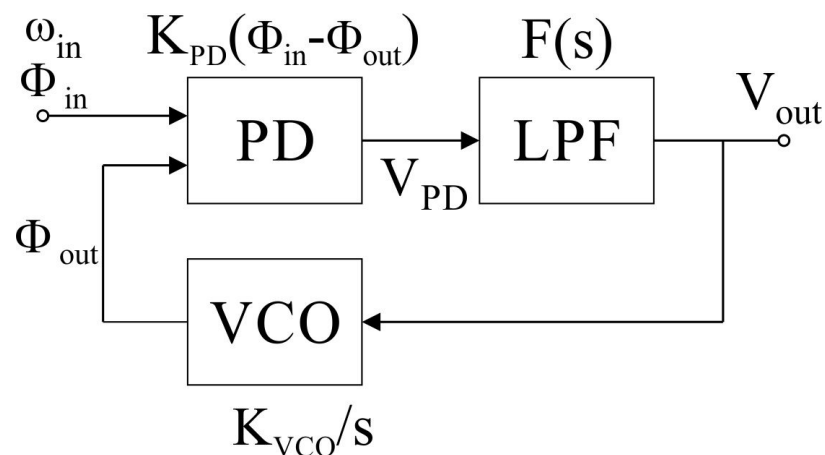


Fazno zatvorena petelja (PLL)

Frekvencija i Q faktor pola NF filtra imaju uticaj na performanse sistema.

Prilikom određivanja propusnog opsega filtra pravi se kompromis između potiskivanja nepoželjnih frekvencijskih komponenata i brzine odziva. Što je propusni opseg filtra veći brzina odziva PLL petlje je veća i veći je opseg hvatanja. Što je propusni opseg uži bolje je potiskivanje šuma i neželjenih frekvencijskih komponenata.

Izbor Q faktora predstavlja kompromis između brzine i stabilnosti. Uobičajeno je da se ovaj kompromis napravi na takav način da Q faktor iznosi 0.707. Ukoliko je Q faktor manji prelazni režim postaje prigušeniji i traje kraće.



Fazno zatvorena petelja (PLL)

Primene PLL

1. Kondicioniranje signala
 - Povećanje odnosa signal šum i pojačanje signala.
 - Izdvajanje sinhronizujućeg signala iz kompozitnog signala.
2. Modulacija i demodulacija signala
 - FM demodulacija
 - AM demodulacija
 - FSK demodulacija (frequency-shift keying - frekvencijski pomerena demodulacija)
3. Sintetizovanje frekvencije
 - Množenje i deljenje frekvencije
 - Frekvencijska sinteza

Fazno zatvorena petelja (PLL)

FM demodulator

Kada je PLL fazno zatvorena dobija se:

$$\omega_{in} = \omega_{out}$$

Za frekvenciju signala na izlazu VCO važi:

$$\omega_0 + K_{VCO} \cdot v_{out} = \omega_{out} = \omega_{in}$$

$$v_{out} = \frac{1}{K_{VCO}} (\omega_{in} - \omega_0)$$

Kada je ulazni signal frekvencijski modulisan:

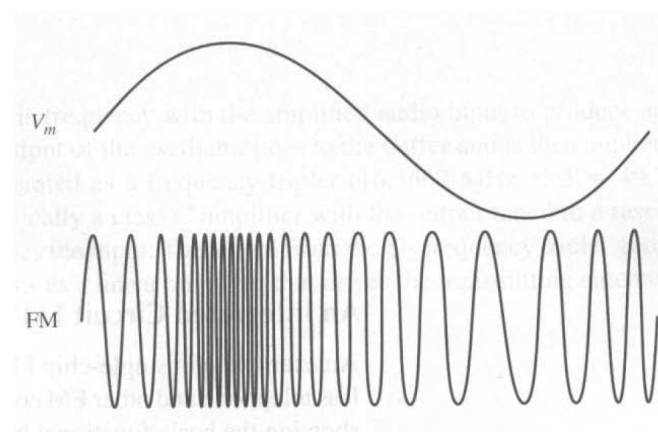
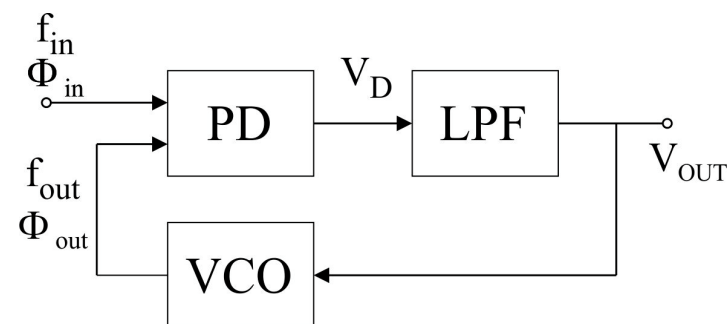
$$\omega_{in} = \omega_C + K_m \cdot v_m(t)$$

$$v_{out} = \frac{1}{K_{VCO}} (\omega_{in} - \omega_0) = \frac{1}{K_{VCO}} (\omega_C + K_m \cdot v_m(t) - \omega_0)$$

Za $\omega_C = \omega_0$

$$v_{out} = \frac{K_m}{K_{VCO}} \cdot v_m(t)$$

Izlazni napon, V_{out} , je demodulisan signal ukoliko je frekvencija slobodnog oscilovanja, ω_0 , jednaka nosećoj frekvenciji modulisanog signala, ω_C .

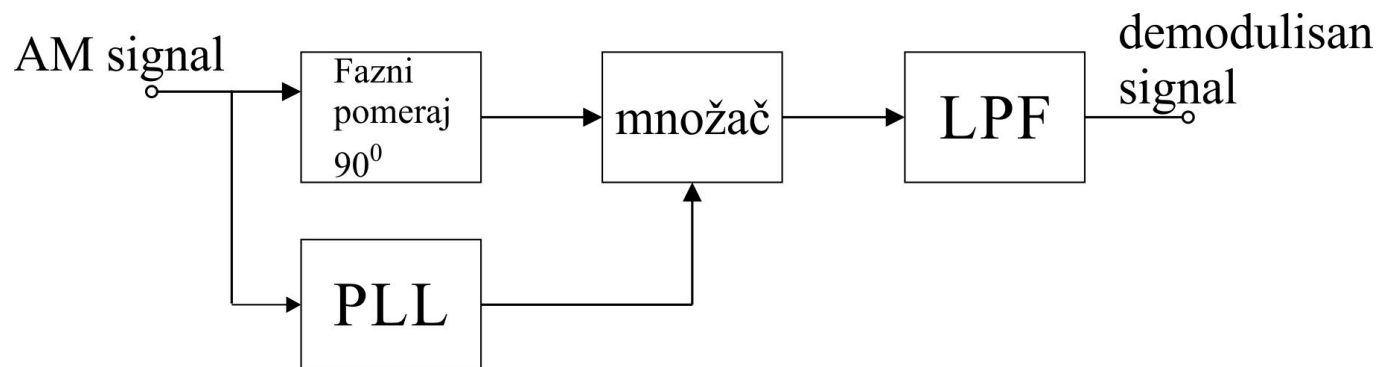


Fazno zatvorena petelja (PLL)

AM demodulacija

PLL se može koristiti i za demodulaciju AM signala. Primenjeno kolo PLL-a se fazno zatvara na nosećoj frekvenciji amplitudski modulisanog signala. Signal na izlazu VCO unutar PLL petlje je nemodulisani sinusoidalni signal na frekvenciji nosioca modulisanog signala.

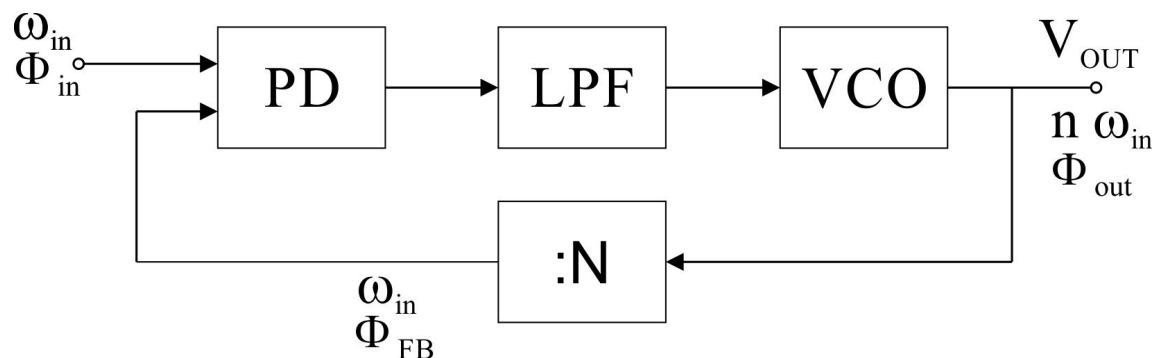
- Signal na izlazu VCO uvek unosi fazni pomeraj od 90° u odnosu na ulazni signal pa je neophodno uvesti kolo koje će fazno pomeriti ulazni signal pre ulaska u množač. Množenjem amplitudski modulisanog signala sa signalom noseće frekvencije dobija se signal koji sadrži dve frekvencijske komponente. Frekvencijska komponenta na nižoj frekvenciji koja predstavlja demodulisani signal izdvaja se nakon filtriranja.
- Amplitudski demodulator zasnovan na PLL petlji odlikuje se velikom tačnošću i velikom otpornošću na šumove.



Fazno zatvorena petelja (PLL)

Množitelj frekvencije

- Delitelj frekvencije je ubačen između izlaza VCO i ulaza faznog detektora. Delitelj frekvencije se najčešće realizuje primenom brojača. Kada je PLL petlja fazno zatvorena, frekvencija signala na izlazu VCO iznosi $f_0 = N \cdot f_{in}$
- Množenje frekvencije se može realizovati i bez kola delitelja ukoliko je ulazni signal bogat harmonicima (pravougaoni impulsi). U tom slučaju PLL se može zatvoriti pri jednom od harmonika ulaznog signala. Zbog opadanja amplituda harmonika ovaj pristup nije primenjiv kada je $N > 10$.



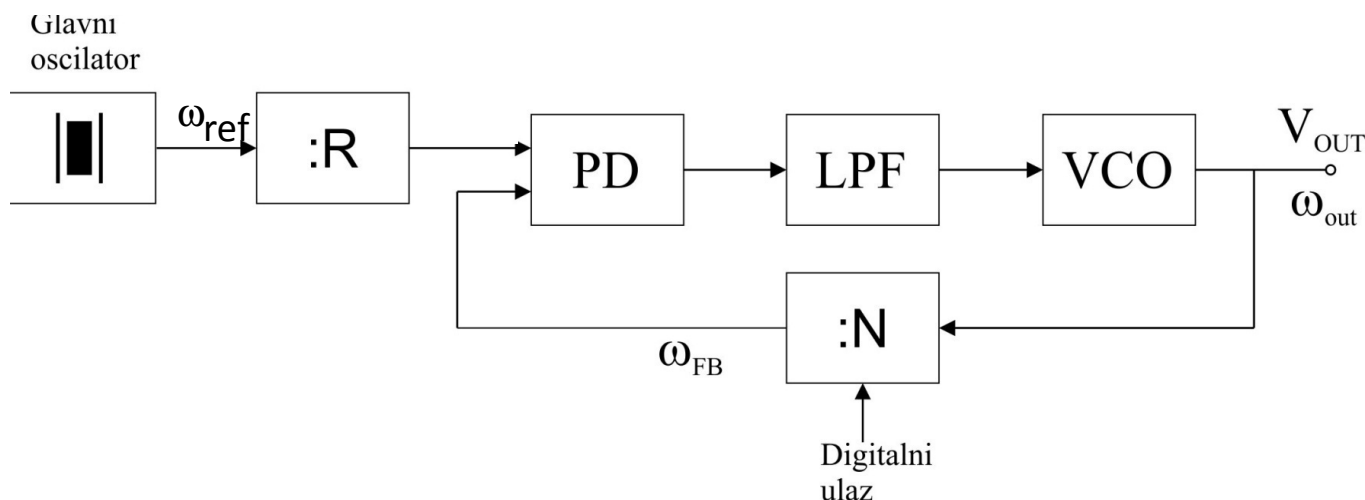
Fazno zatvorena petelja (PLL)

Sintetizator frekvencije

▪ Sintetizator sadrži oscilator sa kristalom kvarca, koji generiše signal stabilne frekvencije. Frekvencija ovog signala je referentna frekvencija, ω_o . Stabilnost frekvencije izlaznog signala ω_{out} , jednaka je stabilnosti frekvencije signala koji generiše glavni oscilator. Kolo sintetizatora frekvencija sadrži dva delitelja (brojača), ulazni koj umanjuje referentnu frekvenciju R puta i delitelj u povratnoj sprezi koji deli frekvenciju izlaznog signala. Frekvencija signala na izlazu može se izraziti kao:

$$\omega_{out} = \frac{N}{R} \cdot \omega_o$$

▪ U praksi ovakvi sintetizatori frekvencije nemaju širok propusni opseg. Glavni razlog za ovu situaciju su ograničenja faznog komparatora i naponski kontrolisanog oscilatora.



Integransi stabilizatori napona

Integrirani stabilizatori napona

Stabilizator napona je elektronsko kolo koje treba da obezbedi konstantan napon na izlazu nezavisno od otpornosti potrošača, varijacija ulaznog napona i temperature. Stabilizator napona je sastavni deo izvora jednosmernog napajanja napajanja pri čemu stabilizatoru napona prethode usmerač i filter.

- Dve najvažnije kategorije stabilizatora napona su:
 - Linearni stabilizatori napona;
 - Prekidački stabilizator napona;
- Linearni stabilizatori napona mogu biti:
 - Redni stabilizatori napona
 - Paralelni stabilizatori napona
- Prekidački stabilizatori se dele na sledeće kategorije:
 - spuštač napona (step-down)
 - podizač napona (step-up)
 - invertujući (voltage inverter)

Integrirani stabilizatori napona

Linearni stabilizatori napona sadrže kontrolni element koji radi u linearnom režimu rada. Dobra svojstva linearnih stabilizatora su velika brzina odziva na promene napona i nizak nivo šuma na izlazu. Najznačajniji nedostatak linearnih stabilizatora je mala efikasnost.

Prekidački stabilizatori su u prednosti kada je potreban veći stepen iskorišćenja. Obično se koriste kada je potrošnja veća od nekoliko vati.

- **Faktor stabilizacije** (line regulation) je mera stabilnosti izlaznog napona na promene u nestabilisanom ulaznom naponu. Faktor stabilizacije definiše se kao odnos priraštaja napona na izlazu i ulazu:

$$\text{Line regulation} = \frac{\Delta V_o}{\Delta V_i} \cdot 100 [\%]$$

ΔV_o je promena izlaznog napona, ΔV_i odgovarajuća promena ulaznog napona.

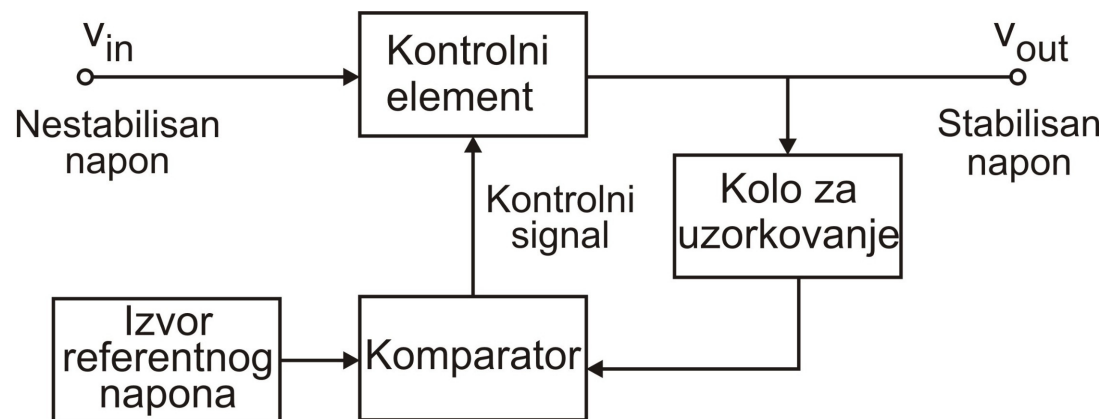
- **Faktor regulacije opterećenja** (load regulation) predstavlja mogućnost stabilizatora da održi konstantan napon pri promenama otpornosti potrošača. Faktor regulacije definiše se kao:

$$\text{Load Regulation} = \frac{V_{\max_load} - V_{\min_load}}{V_{nom}} \cdot 100 [\%]$$

V_{\max_load} je napon na opterećenju kroz koje teče najveća struja
 V_{\min_load} je napon na opterećenju kroz koje teče najmanja struja
 V_{nom} je napon na tipičnom ili nominalnom opterećenju

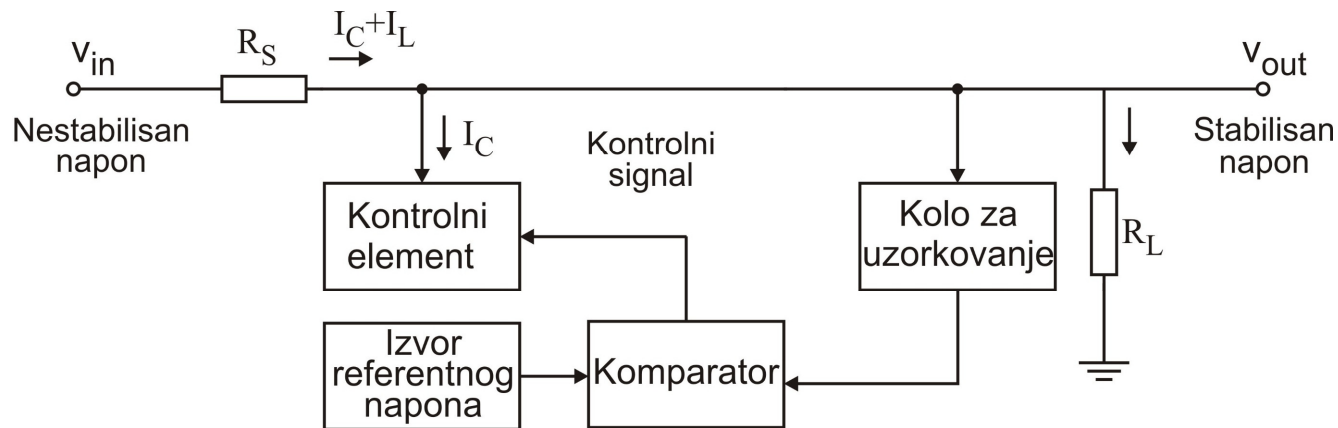
Integrirani stabilizatori napona

▪ **Redni stabilizator napon** sadrži kontrolni element koji je između ulaza i izlaza. Uloga kontrolnog elementa je da absorbuje varijacije napona između ulaza i izlaza. Kolo za uzorkovanje prati promene napona na izlazu. Komparator (detektor greške) poredi uzorkovani napon sa referentnim naponom koji se generiše u izvoru referentnog napona. Na izlazu komparatora dobija se kontrolni signal koji deluje na kontrolni element na takav način da se održi konstantan napon na izlazu.



Integrirani stabilizatori napona

- **Paralelni stabilizator napon** sadrži kontrolni element koji je vezan paralelno sa potrošačem. Način funkcionisanja sličan je rednom stabilizator a razlika se ogleda u tome da se promene izlaznog napona kompenzuju promenom struje kroz kontrolni element.
- Bilo koja promena izlaznog napona prouzrokuje priraštaj napona na ulazu komparatora. Usled toga doći će do promene potencijala na izlazu komparatora a samim tim i do promene struje kroz kontrolni element I_C . Ukoliko je promena izlaznog napona pozitivna povećaće se struja kroz kontrolni element i obrnuto.



Integrirani stabilizatori napona

▪ Integrirani stabilizator napona

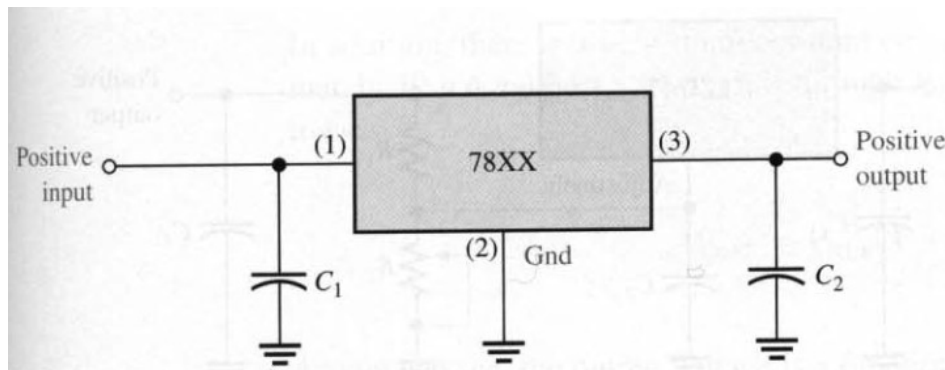
- Tipovi integriranih stabilizatora napona:
 - stabilizatori koji generišu fiksni izlazni napon (pozitivan ili negativan)
 - stabilizatori koji generišu promenjivi izlazni naponom (pozitivna ili negativan)
 - prekidački stabilizatori
- Integrirani stabilizatori napona se veoma često koriste u izvorima napajanja jer ih odlikuju sledeće osobine:
 - jednostavni su za korišćenje
 - imaju nisku cenu
 - pouzdani su
 - dostupan je veliki broj integriranih stabilizatora sa različitim nominalnim vrednostima napona i struja



Integrirani stabilizatori napona

Integrirani stabilizator napona 7800

- Integrirani stabilizatori napona su kola sa najčešće komponente sa tri terminala čiji izlazni napon može biti pozitivan ili negativni napon, fiksni ili promenljiv.
- Integrirana kola familije 7800 generišu na izlazu pozitivan fiksni napon. Zadnje dve cifre u nazivu predstavljaju vrednost izlaznog napona. Kapacitivnost na ulazu se koristi da bi se sprečile oscilacije a kapacitivnost na izlazu se primenjuje da bi se unapredio vremenski odziv. Ulazni napon mora da bude bar za 2 volta veći od izlaznog napona.

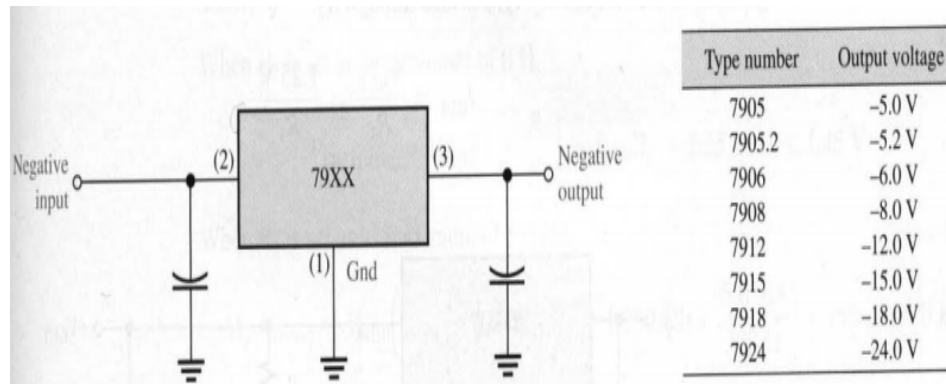


Type number	Output voltage
7805	+5.0 V
7806	+6.0 V
7808	+8.0 V
7809	+9.0 V
7812	+12.0 V
7815	+15.0 V
7818	+18.0 V
7824	+24.0 V

Integrirani stabilizatori napona

Integrirani stabilizator napona 7900

- Integrirana kola familije 7900 su tipični predstavnici stabilizatora koji daju negativan fiksni napon. Ova familija integriranih kola ima iste osobine kao 7800.



PLL i stabilizator napona

Osnovna pitanja

1. Opseg hvatanja i opseg držanja PLL petlje (grafički prikaz).
2. Stabilizatori napona, klasifikacija, najvažnij parametri (faktor stabilizacije, faktor regulacije opterećenja).
3. Blok šema paralelnog i rednog stabilizatora napona.

Ostala pitanja

4. Analogni fazni detektor.
5. Digitalni fazni detektori realizovan XOR kolom.
6. Određivanje opsega držanja (lock range).
7. Analiza PLL petlje u frekvencijskom domenu. Prenosna funkcija PLL petlje za filter sa jednim polom.
8. Analiza PLL petlje u frekvencijskom domenu. Prenosna funkcija PLL petlje za filter sa jednim polom i jednom nulom.
9. FM demodulator realizovan primenom PLL petlje.
10. Množitelj frekvencije i sintetizator frekvencije.