

Министарство науке и заштите животне средине

Пројект ИТ.01.01.0076Б

**РАЗВОЈ УРЕЂАЈА И СИСТЕМА
ЗА МЕРЕЊЕ И УПРАВЉАЊЕ ПОТРОШЊОМ
ЕЛЕКТРИЧНЕ ЕНЕРГИЈЕ У ИНДУСТРИЈИ**

Завршни извештај

Руководилац пројекта: Предраг Петковић

НИО реализатор пројекта: Електронски факултет Ниш

Организације корисници-партиципанти: «Мачкатица А.Д.» и

«Irvias International d.o.o»

Број истраживач месеци: 196

Трајање пројекта: 36 месеци.

Ниш, јануара 2005. год.

1 Обавезе предвиђене Програмским задатком пројекта

1.1 Предмет истраживања

Дистрибуирани електронски мерно информациони систем за рационално коришћење и ефикасно управљање потрошњом електричне енергије у индустрији базиран на оригиналном мултифункционалном интегрисаном мерно-надзорно-управљачком (МНУ) уређају. Уређај се заснива на специфичном чипу који ће бити испројектован и реализован на нивоу прототипа за ову намену.

Систем ће бити посебно усмерен ка даљинском управљању из центара који се хијерархијски могу повезати у више нивоа.

1.2 Садржај истраживања

Тренутно у свету постоји више система развијених са циљем да се обезбеди даљинско управљање дистрибуцијом електричне енергије из одређених центара. При томе се користе различити протоколи за размену података као и различити комуникациони медијуми за њихов пренос.

Ситуација је у великој мери олакшана прописивањем сета међународних ИЕС стандарда којима се регулишу основна правила у овој области.

Из широког дијапазона могућих решења треба изабрати најповољнију варијанту која би у нашим условима, са расположивом инфраструктуром, обезбедила најефикасније управљање и надзор потрошњом и дистрибуцијом електричне енергије у индустрији.

Истраживања би била посебно усмерена на развој система и уређаја који омогућавају повезивање подсистема управљаних из локалних центара у оквиру мреже управљане из центра на вишем хијерархијском нивоу. Такав приступ омогућиће несметано повезивање управљачко-надзорних (УН) мрежа у глобални УН систем. Иако иницијално развијен за потребе већих индустријских система, треба предвидети једноставно проширење ових мрежа и на остале потрошаче.

Да би реализација оваквог система била могућа неопходно је развити уређај који би са стране индустријских потрошача био у стању да мери, надзире и омогући управљање потрошњом електричне енергије.

Знајући да постоји различити степен развијености инфраструктуре у електродистрибутивној мрежи, од уређаја се захтева да поседује могућност конфигурације на лицу места. Поред тога, МНУ уређај мора да обезбеди поуздану комуникацију рад, тачност прецизирану стандардима ИЕС1036 и ИЕС 687, као и мерење свих релевантних параметара који су неопходни за ефикасно управљање и надзор потрошње.

Концепти стандарда IEEE 1149.1 биће уграђени у систем.

Поврх свега, уређај мора да буде конкурентан са ценом и перформансама у односу на остале произвођаче.

Да би се испунили наведени захтеви неопходно је пројектовати интегрисано коло намењено за мерење утрошка енергије у трофазним бројилима. Ово коло мора да задовољи следеће захтеве:

- широка област примене (са становишта фреквенцијског опсега, тачности, ...),
- формати излазних података прилагођени различитим типовима микроконтролера,
- различити типови излазних информација ($i(t)$, $u(t)$, $p(t)$, $i_2(t)$, $u_2(t)$ за сваку фазу),
- остале захтеве који ће проистећи након коначне спецификације система.

1.3 Циљ пројекта

Овај пројекат у свом изворном облику (према пријави) има три главна и више посредних али значајних циљева. Први основни циљ јесте развој и реализација на нивоу пилот инсталације централизованог система за рационално даљинско управљање дистрибуцијом и потрошњом електричне енергије у индустрији. Да би се овај циљ реализовао неопходно је да се остваре још два циља. Наиме, основну компоненту система чини мерно-надзорно-управљачки уређај (МНУ) чији је задатак да мери, надзире и омогући управљање потрошњом електричне енергије. На тај начин, развој МНУ намеће се као други циљ. Базичне перформансе система и уређаја специфицира наш индустријски партнер. Да би цео пројекат имао смисла, неопходно је да МНУ буде конкурентан са ценом и перформансама у односу на остале произвођаче. Зато је веома важно (што ће се показати из техно-економске анализе дате у једном од наредних поглавља овог извештаја) да уређај буде заснован на специфичном

интегрисаном колу намењеном за мерење утрошка електричне енергије у трофазним системима. Овакво интегрисано коло специфичне намене представља трећи главни циљ овог пројекта.

Посредни очекивани циљеви тичу се стратешког утицаја оваквог пројекта на Републику Србију у целини.

Најпре, увођење предложеног система повећаће ефикасност потрошње електричне енергије и неминовно ће довести до смањења губитака како на нивоу индустријског потрошача код кога ће бити примењен, тако и у целој електродистрибутивној мрежи.

Затим, производња МНУ у фабрици која се појављује као корисник истраживања, «Мачкатица А.Д.» из Сурдулице, повећаће степен запослености и непосредно ће допринети бржем индустријском развоју на југу Републике.

Најзад, ангажовање великог броја младих истраживача на овом пројекту пружа им шансу да своју будућност сагледају кроз стручно усавршавање на практичним примерима који имају примену у њиховом непосредном окружењу. На тај начин пружа им се нада да ће своја знања моћи да примене у земљи, чиме им се омогућава да лакше одоле искушењу трајног одласка ван земље.

Поред тога, ово је прилика да Република Србија обнови пројектантски тим који је у стању да пројектује, реализује и тестира интегрисана кола специфичне намене и тиме смањи степен зависности од туђе памети.

1.4 Очекивани резултати предвиђени програмским задатком

У складу са програмским задатком очекује се:

1. развој и пилот инсталација надзорно-управљачког система
2. развој и израда индустријског прототипа мерно-надзорно-управљачког уређаја
3. развој, фабрикација и тестирање интегрисаног кола намењеног за примену у МНУ.

Треба напоменути да је реализација првог резултата само делимично финансирана од стране Министарства док је финансирање и реализацију другог резултата у потпуности преузела производна организација која је корисник истраживања са овог пројекта. Зато ће у даљем тексту из приказа резултата остварених на пројекту бити изостављени сви резултати који нису реализовани у оквиру НИО носиоца истраживања.

2 Реализација обавеза дефинисаних предлогом пројекта

2.1 Увод

На основу интегралног облика садржаја пројекта, како је пријављен у Министарству, може се закључити да пројекат има три целине. Прва се односи на развој система за мерење и управљање потрошњом електричне енергије, друга на развој мерно-надзорно-управљачког (МНУ) уређаја који би био основни део тог система, док се трећи односи на интегрисано коло специфичне намене које треба да се угради у МНУ уређај.

Важно је напоменути да је Министарство прихватило финансирање само тимова који раде у оквиру научно-истраживачких организација. У фази пријаве пројекта део развоја и комплетног имплементирања пилот система као и развој МНУ уређаја преузео је наш партнер из фирме која не спада у ту категорију. С обзиром да тај развојни тим не финансира Министарство, већ корисник резултата истраживања директно, на основу посебног уговора, документација која се односи на тај део пројекта власништво је наших партнера и спада у домен пословне тајне, те не може бити објављена без њихове сагласности.

Зато ће у наставку, бити речи само о резултатима чију је реализацију финансирало Министарство. Практично, у наредном поглављу биће приказан део резултата који се односи на развој система, док ће се у поглављу 3 обратити сви резултати који се односе на пројектовање ИМПЕГ интегрисаног кола специфичне намене.

2.2 Вишехијерархијски систем за праћење потрошње електричне енергије

Архитектура система

Систем за снабдевање потрошача електричном енергијом може се поделити на три нивоа: високонапонски (110 – 380 kV), средњенапонски (10 – 30 kV) и нисконапонски ниво (0.4 kV). Сваки од ових нивоа предвиђен је за премошћавање одређених растојања, док се њихова међусобна веза остварује помоћу трансформатора, и то тако да губици при преносу енергије буду што је могуће мањи. Намена високонапонског нивоа је пренос електричне енергије од произвођача до електродистрибуционих предузећа, и том приликом се премошћују удаљености од неколико десетина до неколико стотина километара. Основна намена средњенапонског нивоа преноса је снабдевање руралних подручја, мањих градова, као и појединих већих индустријских објеката, док је нисконапонски ниво намењен за дистрибуцију електричне енергије до крајњих потрошача.

Када је у питању реализација система за праћење потрошње електричне енергије у Србији од интереса су средњенапонски и нисконапонски ниво, с обзиром да припадају домену дистрибуције електричне енергије. У републичком систему за дистрибуцију електричне енергије не постоји јединствен електродистрибуциони центар, већ постоји више предузећа, задужених за дистрибуцију електричне енергије у одређеним географским областима (Електродистрибуција Ниш – Нишки регион, Електродистрибуција Београд – подручје града Београда, Електровојводина итд.). С обзиром да ова предузећа својом делатношћу покривају релативно велике територије, она у свом саставу имају погоне, лоциране у већим местима, који представљају тачке од којих почиње средњенапонски ниво преноса, а тиме и домен дистрибуције електричне енергије. Пример је ЈП Електродистрибуција Ниш, са погонима у Нишу, Пироту и Прокупљу.

Оваква структура система за дистрибуцију електричне енергије намеће и одговарајућу топологију система за праћење потрошње електричне енергије. Ми смо предвидели да систем има пет хијерархијских нивоа:

- 1) Централно надзорно место (ЦНМ);
- 2) Контролно место на нивоу дистрибуције (КМНД);
- 3) Регионална контролна станица (РКС);
- 4) Локална контролна станица (ЛКС);
- 5) Паметно електрично бројило (ПЕБ);

Топологија предложеног система приказана је на Сл. 2.1, а у даљем тексту ћемо објаснити улоге појединих нивоа.

Улога ПЕБ је мерење потрошње активне и реактивне електричне енергије, $\cos\varphi$ и др. Поред ИМПЕГ-а који представља централни уређај у ПЕБ, неопходно је да ПЕБ има и комуникациони интерфејс, како би се обезбедила размена порука између њега и ЛКС. У досадашњим фазама пројекта развијен је прототип ИМПЕГ-а, који осим тога што обавља функцију мерења потрошње електричне енергије, има интегрисан и комуникациони контролер, који обезбеђује функцију комуникације преко двојичног серијског *бус*-а [1]. Међутим, овакав вид комуникације предвиђен је за пренос података између интегрисаних кола, и то на кратким растојањима. У циљу обезбеђивања

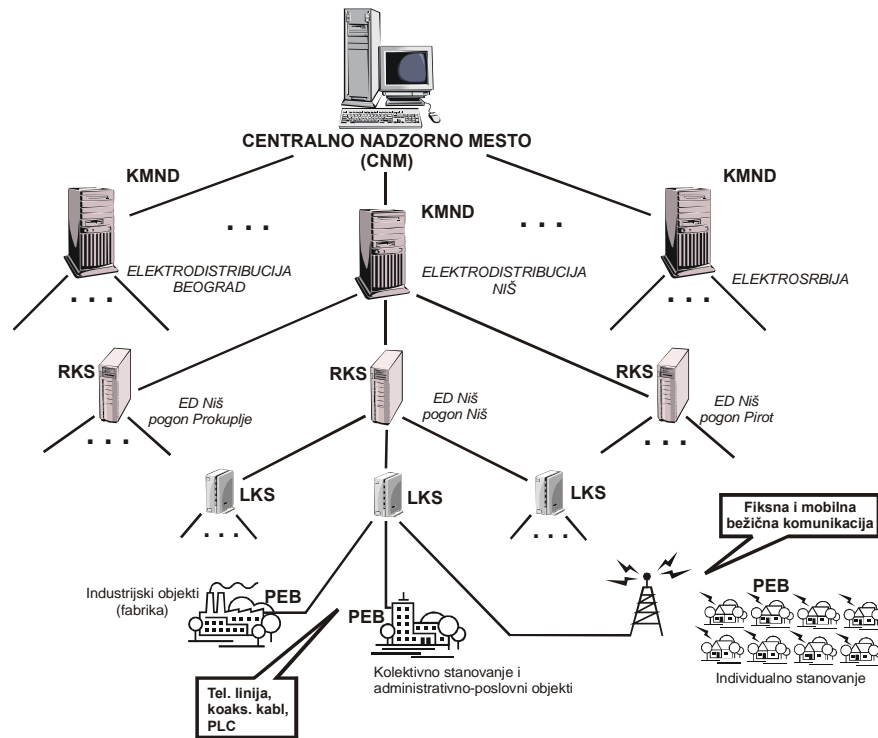
везе између двожичног серијског бус-а и медијума за пренос података до ЛКС потребно је имплементирати и додатни комуникациони интерфејс.

Предвиђено је да ЛКС буде стационарирана у трансформаторским станицама за снабдевање крајњих потрошача електричном енергијом. Она заправо представља концентратор који сакупља податке са свих ПЕБ везаних за ту трансформаторску станицу. Реализација самог ЛКС ће доста зависити од одабраног комуникационог медијума, а тиме и типа комуникације. На Сл. 2.1 су назначени и неки видови комуникације у зависности од типа потрошача.

РКС би била стационарирана у погонима електродистрибуционих предузећа, који се, како је наведено, најчешће налазе у већим местима (пример: Електродистрибуција Ниш – погон Ниш). Улога РКС је да сакупља све податке са ЛКС и да их у одговарајућем формату шаље даље ка КМНД.

КМНД би била лоцирана у градовима у којима је седиште електродистрибуционог предузећа (нпр. Ниш за Електродистрибуцију Ниш). На овом месту врши се аквизиција података са свих РКС, прикупљени подаци се форматирају и даље преносе ка ЦНМ. Веза између КМНД и ЦНМ треба да подржава веће брзине преноса, пошто су и пакети података који се преносе већи него када се обавља пренос између чворова на нижим хијерархијским нивоима.

На врху је централни чвор овог система - ЦНМ, рачунар који обавља функције управљања и надзора целокупног система. Он омогућава овлашћеном оператеру да обавља даљинско читавања тренутне потрошње, праћење и иницирање промена параметара појединих ПЕБ, даљинско укључивање и искључивање потрошача. Овакав систем подразумева и вођење база података – примарна база за параметре ПЕБ, за информације о корисницима и за историју конфигурације мреже воде се у ЦНМ, док је дистрибуирана секундарна база података на нивоу КМНД. Осим тога неопходно је и постојање графичког корисничког интерфејса који ће да даје једноставну могућност прегледа потрошње по областима или индивидуалним ПЕБ-има. Са овог места се иницирају периодични или кориснички захтеви за читавање потрошње, као и аутоматско издавање рачуна.



Слика 2. 1: Тополошка структура система

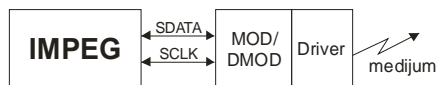
Комуникациони подсистем

У систему са оваквом хијерархијском структуром један од најважнијих проблема је везан за реализацију комуникације између појединих чворова. Када је у питању комуникација у делу система од ЦНМ, па преко КМНД и РКС, све до ЛКС, најједноставније и најисплативије је да се овај део комуникационог подсистема реализује као део неке јавне мреже. Међутим, највећи проблем је део мреже који се односи на комуникацију ЛКС и ПЕБ, који би због сигурности и заштите система од неовлашћеног приступа требало да буде реализован као приватна мрежа. Ту се отварају проблеми избора начина комуникације и медијума за пренос података.

У предложеном систему подаци се могу преносити преко великог броја различитих медијума, укључујући упредену парицу, енергетски кабл, сателитски канал, коаксијални кабл или радио фреквенцију. Комуникациони контролер ИМПЕГ-а, како је поменуто, обезбеђује комуникацију преко двожичног серијског бус-а, због чега је неопходно обезбедити и интерфејс између овог бус-а и одабраног медијума. Кола за интерфејс могу бити

имплементирана унутар самог ПЕБ или као додатни уређај који се споља повезује на ПЕБ. Општи блок-дијаграм повезивања ИМПЕГ-а на одабрани медијум дат је на Сл. 2.2.

ИМПЕГ, који представља централну јединицу ПЕБ, има задатак да мери величине везане за потрошњу електричне енергије и да измерене вредности смешта у одговарајуће 24-битне речи меморије на чипу. Улога модулятора/демодулатора и драјвера је прилагођавање сигнала за слање преко одговарајућег медијума. Појединачним ПЕБ-има приступа се преко 24-битне адресе, јединствене за сваки ПЕБ.



Слика 2. 2: Повезивање ИМПЕГ-а на комуникациони медијум

Током пројективања разматрана су три типа комуникације који не захтевају додатно ожичавање (бар не у већој мери) и самим тим изискују мање трошкове при реализацији. То су жичани пренос, бежични пренос (*wireless communication*) и комуникација кроз енергетску мрежу (*power line communication - PLC*).

Генерално, сваки тип комуникације има своје техничке предности и недостатке, и не постоји једно технолошко решење које је идално за задовољавање свих потреба. Због тога се може закључити да је за реализацију система за праћење потрошње електричне енергије потребно у систем имплементирати више различитих технологија, како би се остварила неопходна оптимизација целокупног система.

Заштита од неовлашћеног приступа

Када се говори о реализацији система за даљинско читавање питање заштите система од неовлашћеног приступа се намеће као једно од најважнијих. Заштита увек представља комплексно питање када је потребно пројектовати систем у коме се комуникација обавља преко неког заједничког медијума (нпр. бежични пренос или PLC).

Систем за праћење потрошње електричне енергије би у оквиру услуга које нуди требало да обезбеди и Интернет приступ корисницима ради читавања стања свог бројила. Међутим, неопходно је, наравно, заштитити ПЕБ од неовлашћене промене његових параметара, где се, када се говори о параметрима ПЕБ-а, мисли се на садржај интерних регистара и меморијских речи ИМПЕГ-а. С обзиром да би се Интернет приступ при читавању ПЕБ-а од стране потрошача обављао преко сервера у оквиру самог система за праћење потрошње електричне енергије, заштита би се могла обезбедити стандардним методама, које су већ дуго присутне у Интернет технологијама (*firewall*, ограничени приступ, криптографија).

Међутим, посебан проблем представља заштита ПЕБ од неовлашћеног приступа из дела приватне мреже, тј. из дела где су повезани ЛКС и ПЕБ. Најједноставнији и најсигурнији начин заштите је једноставно онемогућити функцију даљинског уписа у регистре ПЕБ. У том случају би било дозвољено само даљинско читавање ПЕБ, док би за промену интерних параметара (нпр. промена тарифног система и сл.) и даље било неопходно физичко присуство овлашћеног оператера. Како се тиме губи једна значајна функција система – даљинско подешавање ПЕБ, може се рећи да овај начин заштите није сасвим одговарајући.

С друге стране могуће је применити и један другачији вид заштите, који би имао улогу детекције покушаја неовлашћеног приступа. Наиме, за описани систем може се предвидети и могућност да се осим потрошње може прочитати и информација о статусу ПЕБ. Најпогодније би било када би се статусна информација читавала кад год се читава потрошња, с тим да је могуће, на захтев, прочитати и само статусну информацију. На овај начин би се могло детектовати случај да се корисник услуга који је искључен са мреже неовлашћено прикључио, или случај да на неком ПЕБ није дошло до промене тарифе која је иницирана са ЦНМ. Ово решење би захтевало да се на нивоу РКС врши архивирање свих догађаја који се могу детектовати до тог нивоа, како би се забележили покушаји неовлашћеног приступа и у складу с њима предузеле потребне мере.

На крају вреди напоменути да избор PLC као методе за комуникацију може да, у комбинацији са неком од криптографских метода, да веома добре резултате у домену заштите система. Ово произилази из саме природе енергетског кабла као медијума и коришћења метода адаптивне модулације (нпр. вишенивоиска QAM). У овом типу модулације параметри модулације по носиоцу се у реалном времену прилагођавају слабљењу канала и нивоу шума, с циљем да се постигне што мања ушестаност битске грешке. С друге стране енергетски кабл условљава и то да су фреквентни одзив канала и СНР различити за сваки пар чворова, тако да су и модулациони параметри примењени за дати пар чворова јединствени. То значи да трећи неовлашћени учесник у комуникацији који жели да демодулише сигнал мора да прво има већи СНР од пријемника, а затим и да зна параметре модулације. У сваком другом случају ниво шума би био превише висок да би се обавила поуздана демодулација.

Литература

[1] М. Cvetković, М. Jevtić, М. Dimitrijević, "I²C-Like Communication for the Power Meter IC", *accepted for 24th Conference on Microelectronics – MIEL 2004*.

2.3 Интегрисани мерач потрошње електричне енергије - ИМПЕГ

Спецификација захтева

Интегрисани мерач потрошње електричне енергије (ИМПЕГ) првенствено је намењен за бидирекционо мерење активне и реактивне енергије. Практично, основна намена своди се на мерење предате и примљене енергије. Поред тога, очекује се да, преко серијског интерфејса, буду доступни и други подаци систематизовани у Табели 3.1.

Сви мерени подаци морају да одговарају стандардима IEC687 и IEC 1036. То значи да све величине морају да буду измерене са тачношћу од најмање 0,2% док је за фреквенцију потребно да се одреди са тачношћу од 0.01Hz.

Табела 3.1.

1	тренутна вредност напона R фазе: $vR(t)$,	23	укупна реактивна снага $Q(t) = QP(t) + QC(t) + QT(t)$,
2	тренутна вредност напона S фазе: $vS(t)$,	24	укупна привидна снага $S(t) = SR(t) + SS(t) + ST(t)$,
3	тренутна вредност напона T фазе: $vT(t)$,	25	активна предата енергија R фазе +EAR,
4	тренутна вредност струје R фазе: $iR(t)$,	26	активна предата енергија S фазе +EAS,
5	тренутна вредност струје S фазе: $iS(t)$,	27	активна предата енергија T фазе +EAT,
6	тренутна вредност струје T фазе: $iT(t)$,	28	реактивна предата енергија R фазе +EQR,
7	ефективна вредност напона R фазе: VR,	29	реактивна предата енергија S фазе +EQS,
8	ефективна вредност напона S фазе: VS,	30	реактивна предата енергија T фазе +EQT,
9	ефективна вредност напона T фазе: VT,	31	укупна активна предата енергија +EA= +EAR + EAS + EAT,
10	ефективна вредност струје R фазе: IR,	32	укупна реактивна предата енергија +EQ= +EQR + EQS + EQT,
11	ефективна вредност струје S фазе: IS,	33	активна примљена енергија R фазе -EAR,
12	ефективна вредност струје T фазе: IT,	34	активна примљена енергија S фазе -EAS,
13	активна снага R фазе PR(t),	35	активна примљена енергија T фазе -EAT,
14	активна снага S фазе PS(t),	36	реактивна примљена енергија R фазе -EQR,
15	активна снага T фазе PT(t),	37	реактивна примљена енергија S фазе -EQS,
16	реактивна снага R фазе QR(t),	38	реактивна примљена енергија T фазе -EQT,
17	реактивна снага S фазе QS(t),	39	укупна активна примљена енергија -EA= -EAR - EAS - EAT,
18	реактивна снага T фазе QT(t),	40	укупна реактивна примљена енергија -EQ= -EQR - EQS + EQT,
19	привидна снага R фазе SR(t),	41	фактор снаге R фазе: PFR = PR/SR,
20	привидна снага S фазе SS(t),	42	фактор снаге S фазе: PFS = PS/SS,
21	привидна снага T фазе ST(t),	43	фактор снаге T фазе: PFT = PT/ST
22	укупна активна снага P(t)=PR(t) + PS(t) + PT(t),	44	фреквенција f.

Поред овога, на чипу треба обезбедити следеће функције:

1. Конверзија енергије у фреквенцију,
2. Мерење у сва четири квадранта
3. Комуникација преко I2C протокола
4. AC или DC калибрација
5. Само-стартовање система (auto boot)

Карактеристике бројила које утичу на карактеристике чипа систематизоване су у Табели 3.2.

Табела 3.2

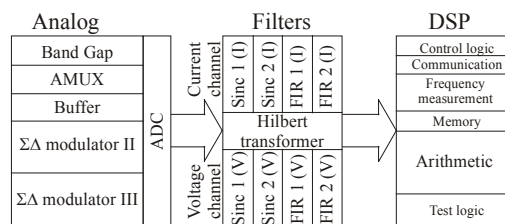
Симбол	Назив	Значење	Вредност	Напомена
VFS	Напон пуне скале	Ефективна вредност улазног напона који уводи ADC у опсег пуне скале	300V	
VMIN	Минимални напон	Минимална ефективна вредност напона која треба да се мери	2V	
IFS	Струја пуне скале	Ефективна вредност улазне струја која уводи ADC у опсег пуне скале	100A	
IB	Основна (базна) струја	0,0625*IFS	5A	Према IEC687/1036
ISU	Стартна струја	Ниво струје при коме почиње регистровање	20mA (10mA)	0,0002* IFS (жељена вредност)
XTAL	Фреквенција кристала	Највиша фреквенција сигнала	4194304 Hz	
fMAX	Максимална фреквенција улазног сигнала	Горња гранична фреквенција пропусног опсега	1 kHz	Према IEC687/1036 до 11. хармоника

Основне карактеристике

1. Тачност у складу са стандардима IEC 1036 (класе 1 и 2) и IEC 687 (класе 0,2 S и 0,5 S)
2. Уграђене функције мерења активне, реактивне и привидне снаге и енергије, фактора снаге, фреквенције, ефективних вредности напона и струје и конверзија енергије у импулсе
3. Интерни референтни напон од 1.205 V
4. Калибрација офсета и појачања
5. Фреквенцијски опсег од 0-1800 Hz
6. Уграђено самотестирање
7. Једноставна серијска комуникација
8. Напон напајања $V_A=V_D=3.3$ V
9. Динамички опсег 10000:1 у струјном и 1000:1 у напонском каналу

Структурна блок шема

Посматрано са становишта протока сигнала у ИМПЕГ интегрисаном колу могу се разлучити три основна блока приказана на Сл. 3.1. То су *аналогни, скуп децимационих филтара* и блок за процесирање дигиталних сигнала *DSP* (Digital Signal Processor).

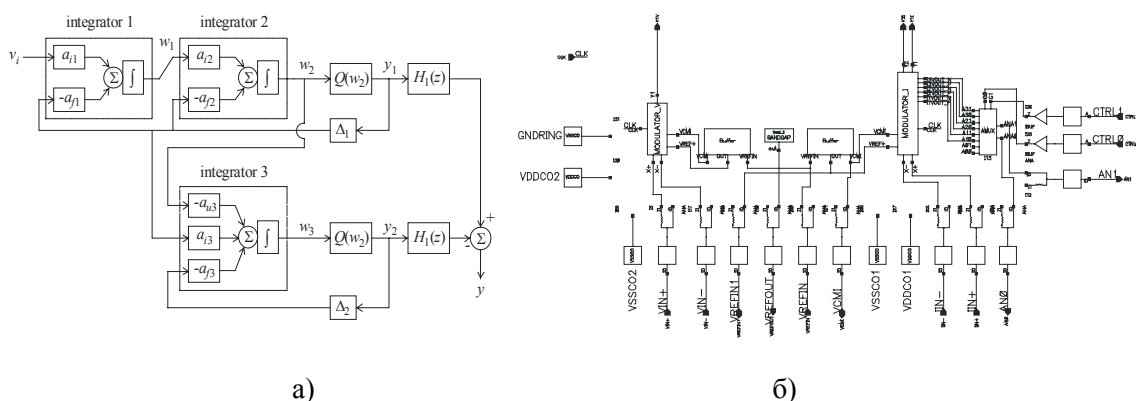


Слика 3. 1: Структура ИМПЕГ-а

У аналогном блоку обавља се узорковање аналогних улазних сигнала фреквенцијом од 524288 Hz и конверзија у дигитални сигнал ширине једног бита у напонском и два бита у струјном каналу. Редукција фреквенције, децимација, са 524288 Hz на 4096 Hz обавља се у филтарском делу. Истовремено се ширина дигиталних речи прилагођава 24-битној логици у DSP-у. Дигитални сигнали обрађују се у DSP блоку који у себи садржи комплетну хардверску подршку за израчунавање свих величина дефинисаних спецификацијом. Поред тога, DSP садржи модуле за управљање током података унутар чипа, комуникацију са спољашњим окружењем, меморију за складиштење измерених и израчунатих вредности и тестну логику.

Улазни степен

Постоје два пара аналогних улазних сигнала преко којих се доводи наизменични напон амплитуде 0-250mV pick-to-pick. Један пар одговара напонском каналу док се напонски еквивалент струје доводи на улаз струјног канала. Аналогни сигнали конвертују се у дигиталне применом AD конвертора базираних на $\Delta\Sigma$ модулацији. Динамички опсег 10000:1 у струјном каналу обезбеђује $\Delta\Sigma$ модулатор трећег реда реализован као 2-1 MASH структура на чијем се излазу добијају дигитални сигнали од два бита са фреквенцијом од 524288 Hz. Детаљи о имплементацији дати су у [8] а његова структура показана је на Сл 3.2.а. $\Delta\Sigma$ модулатор другог реда са једнобитним излазом при фреквенцији семпловања од 524288 Hz обезбеђује димнамички опсег већи од 1000:1 у напонском каналу. Структура овог модулятора описана је у [19].



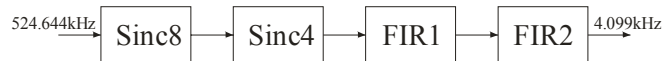
Слика 3. 2: а) Имплементација 2-1 MASH архитектуре
б) Распоред аналогних блокова на чипу

Модулатори су реализовани као потпуно диференцијални, при чему је као први степен коришћен интегратор са двоструким одабирањем, посебно развијен за ову намену. Током пројектовања Референтни напон обезбеђује band-gap напонски извор од 1.205V чија вредност може да се контролише преко једног излазног пина. Детаљи о реализацији и перформансама ове напонске референце могу се наћи у [3]. Алтернативно, остављена је могућност да се референтни напон доведе споља. Аналогни мултиплексер означен са AMUX на слици 3.1 омогућава приступ појединим мерним тачкама унутар аналогног дела чипа ради тестирања.

Распоред појединих аналогних блокова на чипу приказан је на Сл. 3.3.б.

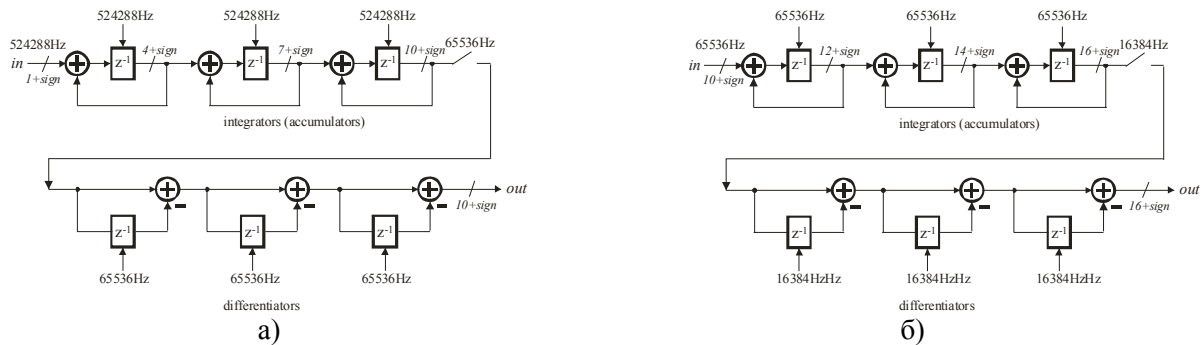
Дигитални филтри

Задатак дигиталних децимационих филтера је да редукују радну фреквенцију и истовремено прошире дужину дигиталне речи на излазу са једног односно два бита у напонском и струјном каналу, респективно, на 19 односно 22 бита. При томе се редукује фреквенција са 524288 Hz на 4096 Hz. Из тога следи да је неопходно остварити децимациони фактор од 128 пута. Ово је реализовано четворостепеним филтром чија је структура приказана на Сл. 3.3.



Слика 3. 3: Архитектура дециматорских филтарских ланца

Прва два степена реализована су у облику филтера Sinc типа структуре приказане на Сл. 3.4.



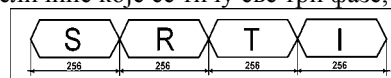
Слика 3. 4: а) структура SINC филтера трећег реда у напонском каналу. Фактор децимације је 8
б) структура SINC филтера трећег реда у струјном каналу. Фактор децимације је 4

У њима се редукује фреквенција 8 и 4 пута, респективно. Друга два филтера реализована су као FIR филтри у којима се фреквенција смањује још по два пута, [6], [11]. Да би било могуће искористити исти хардвер за рачунање активне и реактивне снаге, користи се Хилбертов трансформатор за померање фазе напонског канала за 90° . Он је реализован, такође, као FIR структура [14].

DSP

DSP се побуђује тактом од 4194304Hz чију фреквенцију одређује кристал кварца. Довођењем одговарајуће комбинације сигнала на два контролна пина могуће је дефинисати четири мода рада DSP-а. То су нормални, иницијализација, тест и ресет мод.

За време нормалног мода DSP, на основу тренутних вредности напона и струје, израчунава њихове ефективне вредности, активну и реактивну снагу, активну и реактивну енергију, фактор снаге и фреквенцију. Иако је овај тестни чип развијан за мерење потрошње електричне енергије у једнофазним системима, у њега је уграђен контролер који је прилагођен интегрисаном мерењима за све три фазе у трофазним системима. На тај начин за пројектовање чипа који је у стању да мери потрошњу у све три фазе ће се максимално упростити, а истовремено смо у стању да на тестном чипу проверимо комплетну логику. Зато је током нормалног режима укупни радни циклус контролера од 1024 тактова фреквенције 4096×1024 Hz, подељен је на 4 подсеквенце од по 256 тактова као што приказује слика 3.5. У прва три рачунају се вредности које се тичу сваке од три фазе појединачно, док се у подсеквенци означеној са I израчунавају величине које се тичу све три фазе, [18] [21].

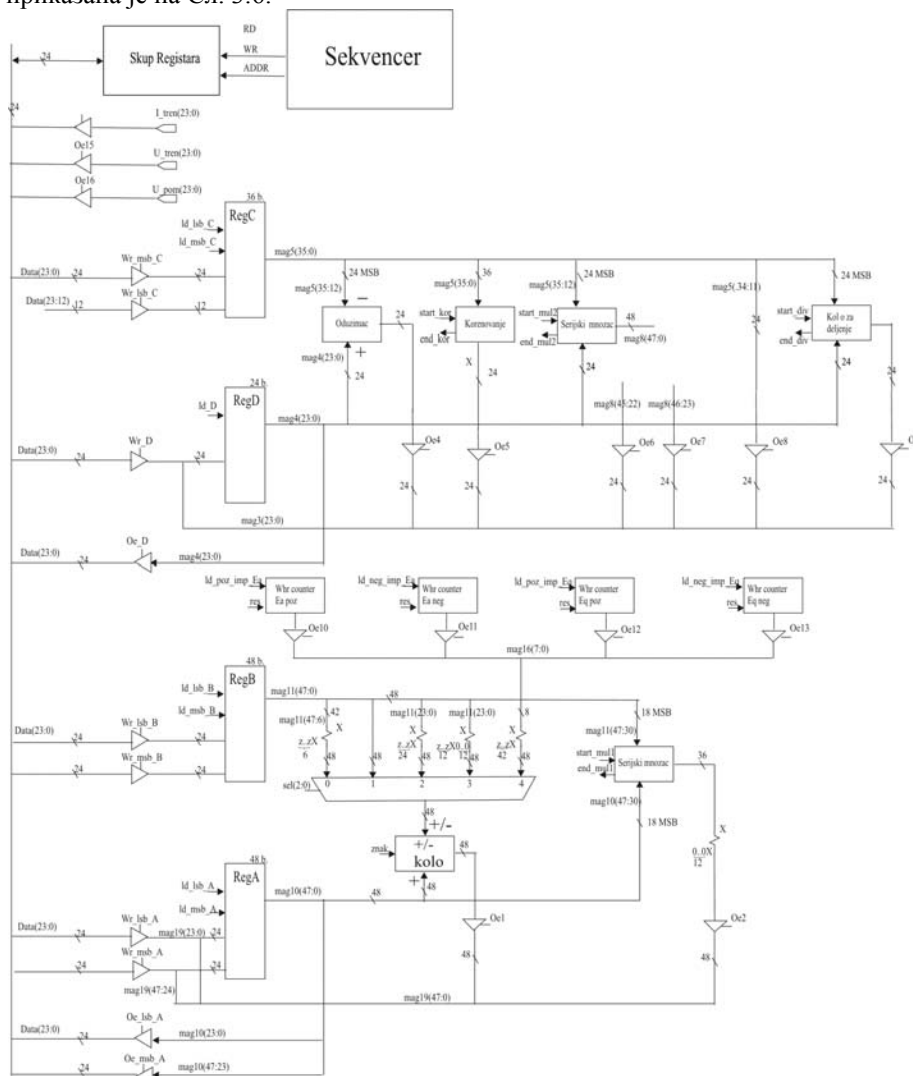


Слика 3. 5: Секвенца DSP контролера током нормалног мода рада

Током сваке подсеквенце обављају се сва потребна израчунавања у хардверу специфичне намене као што су кола за сабирање, одузимање, множење, дељење, кореновање [2] [20], која се користе за израчунавање фреквенције, [16], снаге и енергије [14].

Привремено, међурезултати и резултати се смештају у неки од четири регистра, а затим се уписују у 64x24 битни RAM са којим су везани преко 24-битне магистрале. Комуникација између DSP-а и спољашњег микропроцесора одвија се кроз серијски двојични порт CSP (*Communication Serial Port*), [7]. Преко комуникационих линија за серијски такт SCLK (*Serial Clock*) и линије података SDA (*Serial Data Access*) омогућен је приступ подацима из RAM меморије. Рад CSP-а контролише се постављањем сигнала CS (*Chip Select*) у стање логичке 0.

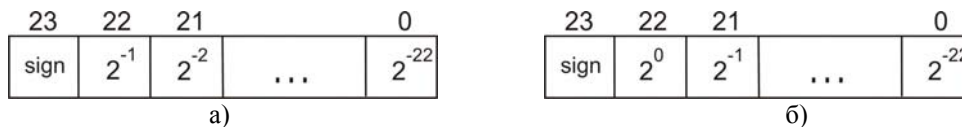
Структура DSP приказана је на Сл. 3.6.



Слика 3. 6: Структура DSP блока

Формати података

Тренутне вредности напона струја I, V, V_{prom}, I_{rms}, V_{rms}, P, Q, S, I_{offset}, U_{offset}, P_{offset}, Q_{offset} приказане су као 24-битни бинарне вредности са знаком у двоичном комплементу као што показује слика 3.7.а.



Слика 3. 7: а) Формат података за I, V, V_{prom}, I_{rms}, V_{rms}, P, Q, S, I_{offset}, U_{offset}, P_{offset}, Q_{offset}
б) Формат података за I_{gain}, V_{gain}, P_{gain}, Q_{gain}, Cos(φ) and F

Вредности између -1 и 1 нормализоване су до опсега пуне скале и то:

- за напоне (V, V_{prom}, V_{rms}, V_{offset}) вредност пуне скале од 250mV_{pp} одговара $\sqrt{2}$ 300V ,
- за струје (I, I_{rms}, I_{offset}) вредност пуне скале од 250mV_{pp} одговара $\sqrt{2}$ 100A ,
- за снагу (P, Q, S, P_{offset}, Q_{offset}) вредност пуне скале одговара 2*100A*300V =60kW.

Вредности параметара за корекцију појачања струје, напона, активне и реактивне снаге (I_{gain}, V_{gain}, P_{gain}, Q_{gain}), вредности фактора снаге (Cos(φ)) и фреквенције F такође су приказане као 24-битни бинарне вредности са знаком у двоичном комплементу али у формату приказаном на слици 3.7.б.

Контролна логика за тестирање

Основна улога тестног чипа, ИМПЕГ, јесте провера усвојеног концепта и уграђених решења. Из фабрикованих узорака треба обезбедити што више информација о перформансама кола. Зато је доста пажње посвећено тестирању [1]. Током пројектовања чип је прилагођен тестирању применом принципа *пројектовања за тестабилност* [4], [5] као и принципа *уграђеног самотестирања* [23].

Посебно је важно да постоји могућност откривања узрока неисправног рада (*дијагностика*), са циљем да се они у следећој итерацији отклоне. Имајући у виду да чип комуницира са околином искључиво преко комуникационог серијског порта (communication serial port, CSP), важно је обезбедити услове да се и у случају отказа комуникационе логике добије што више информација о његовом раду. Наравно, у случају да CSP комуникација функционише, чип мора да буде прилагођен за тестирање у ужем смислу. То значи проверу приступа подацима у уграђеној RAM меморији, проверу свих контролних секвенци као и оперативности сваког блока у DSP. Када се ради о прототипу, односно тестном чипу, ова фаза је детаљнија од оне која се очекује при редовној серијској производњи. Међутим, веома је корисно да се разлика оствари само у софтверском делу, а да хардвер, рачунајући и уграђене контролне секвенце остане исти или да се минимално мења. Поред тога, у нормалном експлоатационом режиму треба обезбедити редовну проверу рада појединих аритметичких блокова како би се корисник упозорио ако дође до отказа унутар DSP-а.

Поред наведених основних захтева, треба водити рачуна да тестна логика испуњава и три додатна захтева:

- логика за тестирање треба да се угради у већ постојеће секвенце контролне логике (КЛ) намењене за нормални режим рада, тако да минимално повећа сложеност контролне логике;
- површина чипа коју блок за тестирање заузима треба да буде што мања;
- минимални број новоуведених пинова.

У тестни чип уграђена су три нивоа тестирања.

Први ниво тестирања, преко алтернативног пина (ERROR), омогућава увид у рад кола у случају песимистичке прогнозе да редовна комуникација са чипом преко CSP није могућа. Поштујући наведене додатне захтеве, овај ниво теста уклопљен је у нормални радни режим КЛ уз увођење само једног додатног пина.

Други ниво тестирања намењен је провери исправности током редовне експлоатације кола. Тада се подразумева да коло обавља специфицирану функцију, односно да ради у *нормалном режиму (HP)*. Овај режим рада обезбеђује се довођењем сигнала '0' на контролне пинове MODE1 и MODE0. У случају да се детектује грешка у неком од елементарних аритметичких блокова, на пину ERROR појавиће се сигнал који упозорава на откривену грешку.

Трећи ниво ниво тестирања подразумева да чип не обавља своју основну функцију већ да се довођењем сигнала '1' и '0' на пинове MODE1 и MODE0, респективно, пребацује у *режим тестирања (PT)*.

Режим тестирања намењен је детаљном тестирању сваког функционалног блока унутар DSP, појединачно. У овом режиму, преко CSP обезбеђен је приступ до свих операнда и добијеног резултата на излазу сваког елементарног аритметичког блока. Операнди и резултати појединих операција смештају се у одговарајуће меморијске локације уграђеног RAMа.

Физичка реализација

Дигитални део чипа пројектован методом стандардних ћелија. У ту сврху коришћена је библиотека CMOS 0.35 μ m AMIS C035M-D чији је власник Alcatel Microelectronics. Сви аналогни блокови пројектовани су по методу потпуног пројектовања по наруџбини, такође у CMOS 0.35 μ m технологији истог произвођача. При томе, поштована су правила пројектовања која важе за AMIS C035M-A прописана у C035M Design Rule Manual Supplement for Analogue Option (C035M-A). За само пројектовање коришћени су алати из *Cadence* програмског пакета.

Пројектовање чипа на највишем нивоу изводи се у програму *Silicon Ensemble*.

При пројектовању овог чипа, имајући у виду правила пројектовања и проблеме који се могу јавити након фабрикације чипа, усвојен је следећи концепт: делови чипа који се тактују вишом и нижом фреквенцијом су физички раздвојени, тако да је било неопходно поделити читав дизајн у блокове. Прва подела је на аналогни и дигитални део чипа. Списак блокова који чине језгро чипа и њихове димензије дат је у Табели 3.3, [15].

Аналогни део се састоји из 6 блокова (постоје два аналогна бафера), и максимално је удаљен од најбржег дигиталног дела, који се тактује фреквенцијом од 4194304 Hz. У оквиру аналогног дела физички су потпуно раздвојени канали који се односе на напонски и струјни улаз да би се умањила могућност преслушавања.

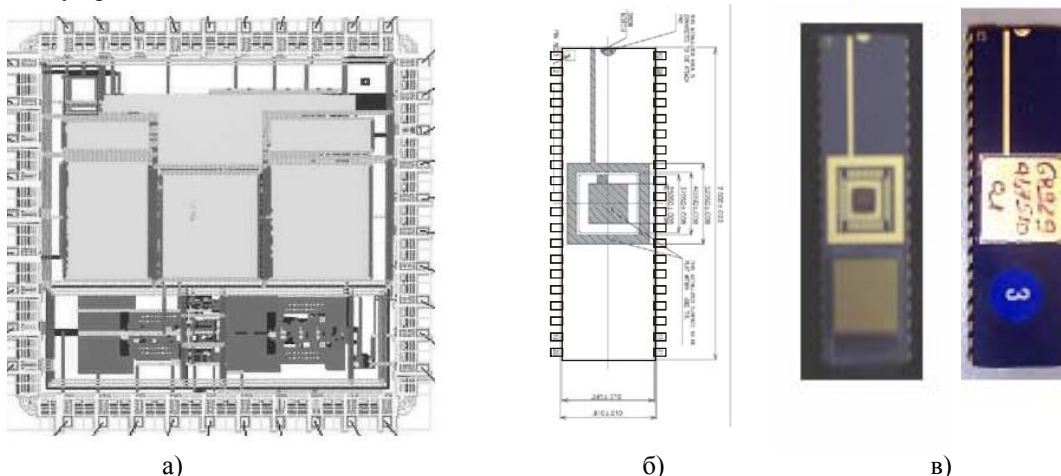
Дигитални део чипа је, такође, подељен у блокове пратећи концепт протока сигнала и фреквенције такта. Сваки од блокова из Табеле 1.3 пројектован је на бази расположивих стандардних ћелија. Поред овако генерисаних дигиталних макроблокова и RAM меморија 64x64 је добијена у облику макро блока од власника технологије. Преостали део дигиталног дела чипа пројектован је методом стандардних ћелија тако да попуни простор између претходно распоређених блокова који чине језгро чипа.

Табела 3.3.

Дигитални блокови	димензија	Аналогни блокови	димензија
-------------------	-----------	------------------	-----------

	[μm]		[μm]
- FIRN - напонски ФИР филтар	754.5 x 1084.5	-ADCN - напонски А-D конвертор	857.5 x 674.6
-SINKN - напонски Sinc филтар	760.5 x 280.5	-ADCC - струјни А-D конвертора	1024.3 x 652
-FIRS – струјни FIR филтар	898.5 x 1048.5	-AMUX - аналогни мултиплексер	153.6 x 103.5
-SINKS - струјни Sinc филтар	901.5 x 322.5	-BANDGAP - извор референтног напајања	177.9 x 173.9
-HIL - Хилбертов трансформатор	865.5 x 967.5	-BUFFER - аналогни бафер	271.9 x 125

Читав дизајн је ограничен величином језгра, и садржи 39 стопица, од којих је 10 за напајање. На слици 3.8.а дат је изглед генерисаног лејаута језгра чипа, скица кућишта приказана је на Сл. 3.8.б док је изглед пелета у кућишту приказан на слици 3.8.в.

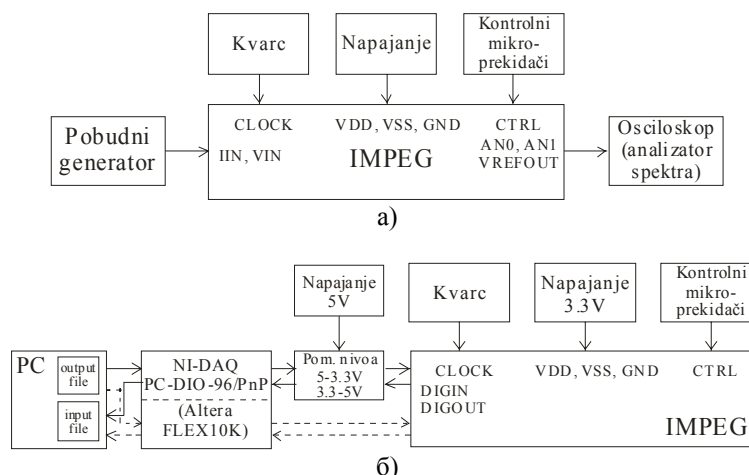


Слика 3. 8: а) Изглед генерисаног лејаута језгра чипа
б) скица кућишта DIL40
в) пелет монтиран у кућишту

Списак стопица и њихов распоред могу се наћи у документу “Kataloški podaci za integrisani merač potrošnje električne energije IMPEG - LEDA008”, на интернет адреси <http://leda.elfak.ni.ac.yu/>.

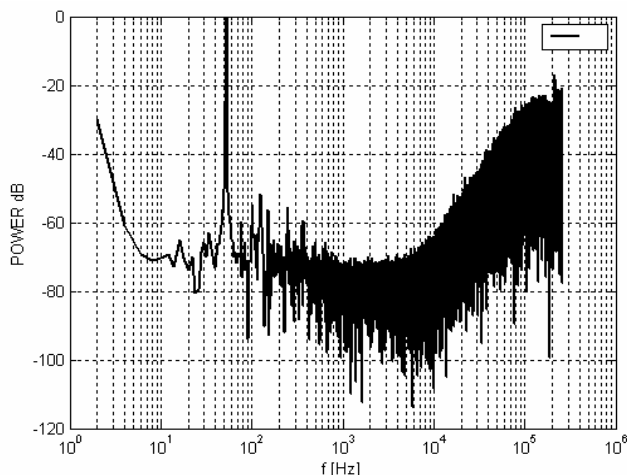
Резултати тестирања

За тестирање прототипа развијено је оригинално тестно окружење прилагођено расположивим лабораторијским условима, [9], [10]. Оно се састоји се од система за тестирање аналогног дела чипа и система за тестирање дигиталних блокова. Структурна шема система за тестирање аналогног и дигиталног дела чипа приказана је на Сл. 3.9.а и Сл. 3.9.б, респективно, [13].



Слика 3. 9: а) Блок шема система за тестирање аналогног дела чипа
б) Блок шема система за тестирање дигиталног дела чипа

Сви до сада обављени тестови показали су да чип ИМПЕГ испуњава све специфициране захтеве. Део резултата теста аналогног дела чипа приказан је на Сл. 3.10 одакле се види да је задовољен SNR од -70dB, за пропусни опсег до 2kHz.



Слика 3. 10: Спектар снаге изазног сигнала А/Д конвертора побуђеног синусним сигналом фреквенције 50Hz и амплитуде 125mVpp

Приметан је DC offset који би требао да се смањи пре пројектовања чипа који би, евентуално, ушао у масовну производњу. За лабораторијске услове ово не представља нарочити проблем јер се може анулирати калибрисањем у дигиталном делу чипа.

Резултати осталих тестова везаних за аналогни део чипа и резултати теста дигиталног дела чипа биће детаљно обрађени у магистарском раду Миљане Соколовић (учесник на пројекту) чију је израду под насловом "Пројектовање тестабилних хибридних интегрисаних кола специфичне намене" одобрило Научно-наставно веће Електронског факултета у Нишу фебруара 2004. године.

Проширење до трофазног мерача потрошње електричне енергије

С обзиром да су добијени резултати тестирања потврдили пројектне захтеве, пројектован је чип којим би се мерила потрошња електричне енергије у трофазним системима. Он представља модификацију тестног чипа уколико што су три пута реплицирани аналогни део и дигитални филтри, за сваку фазу посебно. Што се тиче дигиталног дела, у секвенцеру су већ предвиђени време и активности намењени израчунавањима која се односе на још две фазе, као и за израчунавања везана за збирно израчунавање за све три фазе. Тако да су модификације у том делу минималне и тичу се превасходно захтева који се односе на проширење RAM-а. Површина овог чипа је 33.59mm². Према ценовнику Europractice сервиса преко кога имамо приступ технологији (<http://www.europractice.imec.be>), фабрикација овог чипа на бази прототипа од 20 комада коштала би 21763€. Истовремено, размишљало се и о редизајнирању са циљем да се смањи површина чипа. То се посебно односи на површину децимационих филтара чија је површина смањена за 30% [22].

Литература

- [1] Miljana Sokolović, Predrag Petković, "DSP Chain Testing in an Integrated Power-meter", , Proceedings Of 12th International Scientific and Applied Science Conference "ELECTRONICS ET'2003", September 24 - 26, 2003, Sozopol, Bulgaria, Proceedings of the Conference ELECTRONICS ET'03, pp. 37-42, (ISBN 954-438-374-3)
- [2] Borisav Jovanović, Milunka Damnjanović, "DIGITAL SYSTEMS FOR SQUARE ROOT COMPUTATION", Proc. of the XLV Conf. of ETRAN, ETRAN 2003, pp. 68-71, Jun 2003, Herceg Novi, Book 1, (ISBN 86-80509-45-0)
- [3] Milan Savić, Dragiša Milovanović, "CMOS BANDGAP VOLTAGE REFERENCE", Proc. of the XLV Conf. of ETRAN, ETRAN 2003, Jun 2003, Herceg Novi, Book 1, pp. 124-127, (ISBN 86-80509-45-0)
- [4] Miljana Sokolović, Predrag Petković, "PROJEKTOVANJE ZA TESTABILNOST U DSP KOLU SPECIFIČNE NAMENE", Proc. of the XLV Conf. of ETRAN, ETRAN 2003, pp. 43-46, Jun 2003, Herceg Novi Book 1, (ISBN 86-80509-45-0)
- [5] Miljana Sokolović, Predrag Petković, "Design for Testability in an Application Specific DSP", Proc. of 7th International MTM Symposium, Sofia-Sozopol, September 2003, pp. 208-213, ISBN 954-580-145-X
- [6] Miljana Sokolović, Borisav Jovanović, Milunka Damnjanović, "Decimation Filters Design for an Integrated Power-Meter", MIEL 2004, Vol.2, pp. 601-604, ISBN 0-7803-8166-1
- [7] Marko Cvetković, Milun Jeftić, Marko Dimitrijević, "I²C Like Communication for the Power Meter IC", MIEL 2004, Vol.2, pp. 781-784, ISBN 0-7803-8166-1
- [8] Dragiša Milovanović, Milan Savić, Miljan Nikolić, "A Third-Order Sigma Delta Modulator - Preliminary Results", MIEL 2004, Vol.2, pp. 605-608, ISBN 0-7803-8166-1
- [9] Milan Savić, Miljan Nikolić, Miljana Sokolović, Predrag Petković, "Testing set-up for analog part of the power meter IC", Proceedings Of 13th International Scientific and Applied Science Conference "ELECTRONICS ET'2004", September 22 - 24, 2004, Sozopol, Bulgaria, Book 2, pp. 25-30, ISBN (nema jos)

- [10] Borisav Jovanović, Miljana Sokolović, Milan Savić, Milun Jevtić, Predrag Petković, "Testing set-up for digital part of the power meter IC", Proceedings Of The 13th International Scientific And Appliedscience Conference "ELECTRONICS ET'2004", September 22 - 24, 2004, Sozopol, Bulgaria, Book 2, pp. 31-36, (nema jos)
- [11] Predrag Petković, Miljana Sokolović, „Decimacioni filtri integrisanog merača potrošnje električne energije“, ETRAN 2004, Zbornik radova ETRAN 2004., Sveska I, pp. 87-90, ISBN 86-80509-49-3.
- [12] Marko Dimitrijević, „Dokumentacija u projektovanju integrisanog merača potrošnje električne energije – IMPEG“, ETRAN 2004, Zbornik radova ETRAN 2004., Sveska I, pp. 79-82, ISBN 86-80509-49-3.
- [13] Miljana Sokolović, Predrag Petković, „Razvoj Sistema za Testiranje integrisanog merača potrošnje električne energije“, ETRAN 2004, Zbornik radova ETRAN 2004., Sveska I, pp. 33-36, ISBN 86-80509-49-3.
- [14] Bojan Anđelković, Milunka Damnjanović, „Design Of Hilbert Transformer For Solid-State Energy Meter“, Zbornik radova ETRAN 2004., Sveska I, pp. 83-86, ISBN 86-80509-49-3
- [15] Miona Andrejević, Milan Savić, Miljan Nikolić, Bojan Anđelković „TOP-LEVEL layout design of solid-state energy meter“, Zbornik radova ETRAN 2004., Sveska I, pp. 13-16, ISBN 86-80509-49-3
- [16] Borisav Jovanović, Milunka Damnjanović „Digital System For Power Line Frequency Measurement“, ETRAN 2004, Zbornik radova ETRAN 2004., Sveska I, pp. 29-32, ISBN 86-80509-49-3.
- [17] Marko Cvetković, Milun Jevtić „Višehijerarhijski sistem za praćenje potrošnje električne energije“, ETRAN 2004, Zbornik radova ETRAN 2004., Sveska I, pp. 71-74, ISBN 86-80509-49-3.
- [18] Milun Jevtić, Borisav Jovanović, Sandra Brankov, „Upravljačka jedinica sistema na čipu za registrovanje potrošnje električne energije“, ETRAN 2004, Zbornik radova ETRAN 2004., Sveska I, pp. 75-78, ISBN 86-80509-49-3.
- [19] Dragiša Milovanović, Milan Savić, Miljan Nikolić, „Second-Order Sigma-Delta Modulator In Standard Cmos Technology“, ETRAN 2004, Zbornik radova ETRAN 2004., Sveska I, pp. 17-20, ISBN 86-80509-49-3.
- [20] Borisav Jovanović, Milunka Damnjanović, Vančo Litovski, „Square Root on Chip“, ETF Journal of Electrical Engineering, A Publication of the EE Department, University of Montenegro May 2004 Vol.12 No.1 YU ISSN: 0353-5207 (pp. sutra)
- [21] Borisav Jovanović, Milunka Damnjanović, Predrag Petković, "Digital Signal Processing for an Integrated Power Meter", Proceedings of 49. Internationales Wissenschaftliches Kolloquium, Technische Universitart Ilmenau, 27-30 September 2004, Volume 2, ISBN 3-8322-2824-1, pp 190-195.
- [22] Miroslav Marinković, Bojan Anđelković, Predrag Petković, „Kompaktna MAC arhitektura Hilbertovog transformatora u integrisanom meraču potrošnje električne energije“, Zbornik radova V simpozijum industrijska elektronika, INDEL 2004, Banja Luka, 11-12. novembar 2004., ISBN 86-7122-014-1, pp. 114-119
- [23] Borisav Jovanović, Milun Jevtić, Sandra Đošić, Miljana Sokolović, Predrag Petković, „Projektovanje BIST logike u DSP bloku integrisanog merača potrošnje električne energije“, Zbornik radova V simpozijum industrijska elektronika, INDEL 2004, Banja Luka, 11-12. novembar 2004., ISBN 86-7122-014-1, pp. 120-125
- [24] Milunka Damnjanović, Borisav Jovanović „Energy Calculation in a Power-Meter IC“, Zbornik radova V simpozijum industrijska elektronika, INDEL 2004, Banja Luka, 11-12. novembar 2004., ISBN 86-7122-014-1, pp. 125-132
- [25] Miljana Sokolović, Miljan Nikolić, Miona Andrejević, Predrag Petković, „ADC Testing of an Integrated Power Meter“, Zbornik radova V simpozijum industrijska elektronika, INDEL 2004, Banja Luka, 11-12. novembar 2004., ISBN 86-7122-014-1, pp. 132-137

2.4 Преглед резултата који нису реализовани са образложењем због чега нису реализовани и прогнозом њихове реализације

Приликом конкурисања за овај пројекат, планирано је да све активности око реализације обаве три тима са јасно дефинисаним задацима. Први тим бавио би се пројектовањем система, други би радио на развоју МНУ уређаја, док би трећи био ангажован на пројектовању ASIC чипа. С обзиром да тим који је професионално оспособљен за развој уређаја и имплементацију система не ради у оквиру НИО, њихове активности нису финансиране од стране Министарства. Упркос томе, да би се стекла потпуна слика о пројекту, све активности везане за пројектовање МНУ и део активности везане за развој система које нису реализоване у НИО носиоцу пројекта, саставни су део плана истраживања (уз одговарајућу напомену). Међутим, конкретни резултати остварени тим активностима нису коментарисани у овом извештају иако су реализовани према приложеном плану.

Фабрикација прототипа чипа намењеног за мерења у трофазним системима није реализована због недостатка финансијских средстава. За ову намену било би потребно око 22000€.

2.5 Оцена успешности реализације пројекта

Пре оцене рада желим да подсетим на услове у којима се тај рад одвијао. Дуги период у коме истраживања у Србији нису финансирана резултирао је недостатком елементарних материјала за рад, одсуством учествовања на стручним догађајима у земљи, а у иностранство са циљем да се скупе нова стручна знања ишло се само у излазном смеру. Одлазак младих и инвентивних људи није само нарушио састав истраживачких тимова већ је оставио траг и

на привреду која је, осим материјалне основе, изгубила кадровски потенцијал за опоравак. Производња у области електронске индустрије годинама је практично замрзнута на нивоу пуког преживљавања.

Захваљујући финансијској подршци од стране Министарства у реализацији овог пројекта, сем циљева који су специфицирани у плану активности, остварен је и један важан циљ који се не може сврстати кроз постојећу категоризацију резултата из области технолошког развоја. То је стварање новог подмлађеног истраживачког тима у области пројектовања електронских кола и система у Србији. До тога не би дошло да као резултат пројекта није понуђен атрактиван производ – систем за ефикасно управљање потрошњом електричне енергије. Ради се о пројектовању и реализацији система до нивоа пилот инсталације. Систем је базиран на мерно-надзорно-управљачком (МНУ) уређају којим се прикупљају и прате сви параметри потрошњеелектричне енергије у трофазним системима. У првој години дефинисане су основне перформансе система и реализован је лабораторијски прототип МНУ уређаја на бази стандардног интегрисаног кола намењеног за мерење потрошње у монофазним системима. Овај истраживачки задатак обавили су наши партнери ван НИО, тако да трошкове њиховог рада покривао корисник резултата «Мачкатица А.Д.». Истовремено храбро се почело са пројектовањем оригиналног интегрисаног кола специфичне намене. Проучени су стандарди и започело се са пројектовањем на функционалном нивоу. Када се узме у обзир затечено стање, од виталног интереса била су улагања у обнову инфраструктуре. У том циљу удружена су средства добијена од Министарства за овај и пројект ИТ.1.02.075А.

Подршку развоју инфраструктуре дало је Министарство у другој истраживачкој години када је партиципирало уређење и опремање Лабораторије за пројектовање електронских кола у оквиру које су обављена истраживања на овом и пројекту ИТ.1.02.075А. Као резултат, набављене су радне станице за пројектовање електронских кола, остварен је контакт са Eurogastice сервисом преко кога је купљена универзитетска лиценца за професионални алат намењен пројектовању интегрисаних кола *Cadence*. Од тренутка када је опрема постала оперативна, до тренутка када је требало доставити пројект на реализацију имали смо четири месеца. За то време, новоформирани пројектантски тим успео је да инсталира, и да се обучи да користи софистицирани алат за пројектовање и да на њему са структурног, преведе пројекат интегрисаног кола у физички облик. Ово је нарочито значајно када се има у виду да су вишенедељни курсеви који се организују за обуку у коришћењу пројектантског алата *Cadence* изузетно скупи. У свему је веома помогла подршка у виду on-line консултација коју смо имали од стране бивших студената и сарадника наше лабораторије који раде као пројектанти за водеће светске фирме.

Последња истраживачка година посвећена је тестирању реализованих прототипова и сређивању пројектне документације. У оквиру ове године регулисане су финансијске обавезе према произвођачу прототипа ИМПЕГ-а у износу од 8739,60€. За ову намену приликом конкурисања предвиђена су мања средства, али је цена производње значајно повећана, са 360€/mm² у 2002. на 630€/mm² у 2003. и 2004. години. Средства за ову намену обезбеђена су делом одрицањем истраживача са оба пројектата (ИТ.1.02.075А и ИТ.1.01.076Б) а делом од Министарства. Планом је била предвиђена израда још једног прототипа у 2004. години, чија би цена износила око 22000€, али из финансијских разлога се од тога одустало. У свим осталим аспектима, могу са задовољством да констатујем да су истраживачи ангажовани на овом пројекту испунили све пројектне задатке. Шта више, могу да кажем да су великим залагањем, одрицањем када је то било потребно, успели да стасају како као научни радници, тако и као стручњаци и људи спремни да се доказују као појединци али и као добро синхронизовани тим.

Недвосмислени успех пројекта илуструје Табела 1.1 у којој су сумирани планирани и остварени резултати:

Табела 1.1.

Тип резултата	планирано	остварено у НИО	остварено ван НИО*	остварено укупно
Рад у часопису	0	4	0	4
Рад на научном скупу	8	30	0	30
Техничка решења	6	31	8	39
Остало	36	34	6	40

*Резултати који нису финансирани од стране Министарства

3 Примена резултата пројекта

3.1 Техно-економска анализа примене остварених резултата пројекта

Интегрисање већег броја функција у оквиру једног чипа, смањује број компонената неопходних за реализацију савременог електронског бројила. На тај начин очекују се непосредни и посредни финансијски ефекти. Непосредни се огледају у уштедама везаним за:

- а) број уграђених компонената;
- б) смањење величине штампане плочице,
- в) мањи број операција неопходних за монтажу бројила.

Тржишна цена интегрисаних кола која би се заменила новим чипом износи \$6,5. Процењена цена чипа на бази серије од 20,000 ком/год износи \$2,5. Када се томе дода уштеда у величини штампане плочице и раду, које се процењују на \$0,25, укупна уштеда износи \$4,25 по бројилу. За скромну производњу од 10.000 комада укупна годишња уштеда износи \$42.500. Ова сума је већа од укупне вредности (100%) рада истраживача на овом пројекту само у току 2004. године која износи око \$39.000. Уколико би се, према реалним очекивањима, производња подигла на 100 000 ком/год, уштеда би премашила \$425.000 годишње јер би за те серије и цена чипа била мања. Ово знатно премашује укупну вредност пројекта.

Индиректни финансијски ефекти проистичу из побољшаних технолошких карактеристика бројила:

- смањење броја лемних тачака директно доприноси повећању поузданости уређаја, а тиме и смањењу трошкова одржавања;
- већи степен интегрисања различитих функција у оквиру једног чипа смањује укупну потрошњу неопходну за напајање уређаја;
- постојање чипа који је власништво произвођача бројила смањује зависност од појаве монополиста на светском тржишту или повлачења/замене неког интегрисаног кола са тржишта. Сваки поремећај таквог типа захтева замену претходне штампане плочице новом, што доводи до нових трошкова.

Чак и у случају када овај чип не би био саставни део бројила, добро би било да ова могућност постоји у својству алтернативног снабдевача. Не треба изгубити из вида значајне предности које проистичу из чињенице да би оспособљавање пројектантског тима за ову намену омогућило да се изађе у сусрет свим каснијим захтевима произвођача бројила. На тај начин би се повећала конкурентност корисника ових истраживања на тржишту.

3.2 Активности које ће предузети (или је предузео) корисник ради примене резултата пројекта

Тренутно се узорци чипа налазе на тестирању у развојној лабораторији корисника. Истовремено са комерцијалним чиповима које корисник тренутно користи у МНУ, за мерење једне фазе користи се прототип новоразвијеног интересаног мерача потрошње. С обзиром да се ради о тестном чипу који има већи број пинова чип је фабрикован у DIP40 кућишту, па је за његово повезивање са МНУ уређајем направљена додатна плочица као што приказује фотографија са слике 3.11.



Слика 3. 11: Тестни чип прикључен на прототип МНУ уређаја

3.3 Анализа могућности масовне примене резултата пројекта у другим сличним случајевима

Сама структура ИМПЕГ чипа, као и уграђене могућности које пружа DSP модул, интерна меморија и могућност комуницирања преко серијског комуникационог порта квалификују га за вишеструку примену. Овде ћемо само поменути широки дијапазон примене у којима је од интереса да се прати потрошња уређаја за који би био везан, односно вођење 'дневника' о експлоатацији уређаја (максимално оптерећење, услови напајања и сл.). Поред тога, малим модификацијам овај пројекат може да се прилагоди свим потребама везаним за примену у 'паметним' сензорима јер садржи све потребне модуле: A/D конверторе, филтре, DSP, комуникацију, интерну меморију.

4 Проблеми реализације пројекта

Током реализације пројекта дошло је у току 2003. године до блокаде средстава уплаћених за адаптацију и опрему Лабораторије за пројектовање електронских кола од стране управе Електронског факултета, тако да је поремећена динамика реализације пројекта. Зато је чип прослеђен на фабрикацију у децембру уместо у јулу 2003., како је било планирано.

Неразвијеност привреде на југу Републике условио је потешкоће у испуњавању финансијских обавеза од стране Корисника истраживања. Наиме велики део средстава Корисник је уложио у развој МНУ уређаја и инсталацију пилот система (у Руми) директно финансирајући сопствени развојни тим. Поред тога, поништавање тендера за куповину бројила од стране ЕПС-а у прошлиј години, а тиме изостанак планиране производње, довео је Корисника у незавидну финансијску ситуацију.