

PROJEKTOVANJE ZA TESTABILNOST U DSP KOLU SPECIFIČNE NAMENE

Miljana Sokolović, Predrag Petković, *Elektronski fakultet u Nišu*

Sadržaj - Efikasno testiranje i dijagnostika defekata predstavljaju najvažnije zahteve pri projektovanju velikih DSP sistema na čipu. Značaj testiranja i dijagnostike treba sagledati kako sa stanovišta cene tako i sa stanovišta vremena potrebnog za projektovanje kola i pronalaženje eventualnih grešaka u projektovanju. U ovom radu predloženo je originalno praktično rešenje problema testiranja na konkretnom DSP lancu u integrisanom sistemu za merenje potrošnje električne energije. Kombinovane su dobre osobine BIST i scan tehnika za testiranje i lociranje defekata u digitalnim elektronskim kolima. Praktična primena predloženog rešenja potvrđena je simulacijama u VHDL-u.

1. UVOD

Testiranje elektronskih kola ima za cilj da se ustanovi da li proizvedena komponenta, blok ili sistem ispravno radi. Međutim, brzina projektovanja i proizvodnje, koju tržište nameće u današnje vreme, dovodi do neminovnih propusta koje treba otkloniti. Ukoliko bi se posao detektovanja i lociranja defekata, odnosno kvarova, olakšao i ubrzao, troškovi proizvodnje bili bi neuporedivo manji, a proizvodnja brža i jeftinija. Dijagnostika defekata je od esencijalnog značaja naročito pri proizvodnji probnih čipova. Tu, dakle, nije bitno samo proveriti da li sistem funkcionalno zadovoljava postavljene zahteve, već i otkriti gde i zašto se javlja problem. U ranim fazama projektovanja i proizvodnje kola, a naročito pri izradi testnih i prototip čipova, posebna pažnja posvećuje se dijagnostici. Kako se odmiče sa projektovanim tj. proizvedenim verzijama prototipa, naglasak se sa dijagnostike prebacuje na testiranje kola.

Sa druge strane, izrazita brojnost, raznovrsnost i sve veća složenost DSP sistema nameće potrebu za osmišljavanjem neke univerzalne testne tehnike koja se može primeniti na sve blokove DSP lanca, bez obzira na funkciju koju oni obavljaju. Principi projektovanja za testabilnost-DFT (Design for Testability) i tehnike ugrađenog samotestiranja-BIST (Built In Self Test), nameću se kao generalna rešenja problema.

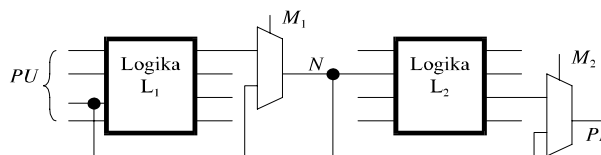
U ovom radu biće predložen metod za testiranje jednog DSP lanca koji je sastavni deo integrisanog kola namenjenog za merenje potrošnje električne energije. Razmatrani DSP ima zadatak da na osnovu informacija o trenutnoj vrednosti napona i struje u digitalnom obliku izračuna sve relevantne veličine koje se tiču utrošene energije. Predloženi princip testiranja i dijagnostike je univerzalan, tako da se može primeniti i na bilo koji drugi DSP lanac.

U narednim odeljcima biće, najpre, opisani osnovni principi na kojima se zasnivaju najpoznatiji metodi za testiranje elektronskih kola kao što su DFT, BIST i BS (Boundary-Scan). Potom će pažnja biti posvećena upoznavanju sa konkretnim DSP lancem specifične namene. Dalje će biti opisan originalni pristup testiranju takvog DSP sistema koji istovremeno omogućava i dijagnostiku defekata.

Metod je zasnovan na objedinjavanju dobrih osobina BIST i scan principa. Celokupna logika na kojoj se zasniva ova tehnika opisana je i simulirana u VHDL-u. Time se potvrđuje funkcionalnost opisanog rešenja kao i njegova univerzalnost tj. primenljivost na bilo kom drugom DSP lancu. Na kraju ovog rada biće prikazani rezultati simulacije.

2. OSNOVNI PRINCIPI DFT, BIST I BS

Generalno gledano, projektovanje za testabilnost predstavlja projektovanje kola sa ciljem da se omogući efikasno testiranje kola uz mogućnost otkrivanja što većeg broja potencijalnih defekata. Najopštiji i najjednostavniji pristup bila bi ugradnja dodatne logike kojom se povećava kontrolabilnost i opservabilnost defekata. Loša osobina ovakvog pristupa ispoljava se kod velikih kola, zbog toga što se velikom broju postojećih pinova dodaju novi, koji služe samo za testiranje. Delimično rešenje ovog problema predstavlja upotreba dodatnih multipleksera kao što pokazuje slika 1. Preko njih se postojećim primarnim ulazima (PU) i primarnim izlazima (PI) kola dodeljuju alternativni zadaci koji se tiču testiranja [1].



Sl. 1: Povećanje kontrolabilnosti i opservabilnosti povećanjem broja spoljnih priključaka

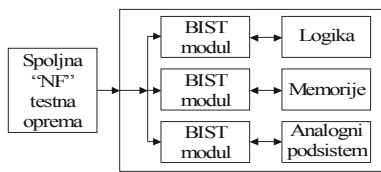
Jedan kontrolni pin (M_1), može da selektuje proizvoljan broj unutrašnjih čvorova (logike L_2), da ih odvoji od njihove normalne pobude i da ih priključi direktno na primarne ulaze. Drugi kontrolni signal (M_2) omogućava da proizvoljan broj primarnih ulaza bude povezan sa unutrašnjim čvorovima (izlazi logike L_1) čime se omogućava opservabilnost na tim čvorovima. Ovaj koncept omogućava tri režima rada:

1. normalni radni režim ($M_1M_2=00$);
2. testiranje L_1 - stanje čvora N prosleđeno do primarnog izlaza ($M_1M_2=01$);
3. testiranje L_2 - stanje čvora N direktno kontrolisano primarnim ulazom ($M_1M_2=10$).

Efikasnost opisanog DFT metoda zavisi od mogućnosti da svi testirani blokovi u fazi testiranja budu međusobno izolovani. Takođe je uobičajeno da se upis kontrolne reči, odnosno očitavanje stanja željenog signala obavlja preko serijskog pristupa kako bi se minimizirao broj ulazno-izlaznih priključaka namenjenih za testiranje.

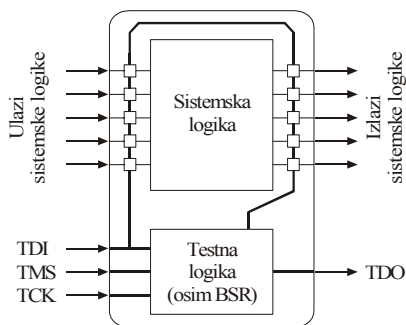
Ugrađeno samotestiranje, odnosno BIST, zasnovano je na ugradnji testnih funkcija u čip [1]. Ovakvim pristupom se ujedno prevazilaze dve glavne prepreke. To su veliki broj tranzistora i razlika u unutrašnjem i spoljnjem propusnom opsegu. Arhitektura čipa koji bi se projektovao na ovom principu prikazana je na slici 2. Spoljni niskofrekventni

signal služi za kontrolu testiranja, a posebne ugrađene ćelije generišu testne signale i sakupljaju informacije o odzivima.



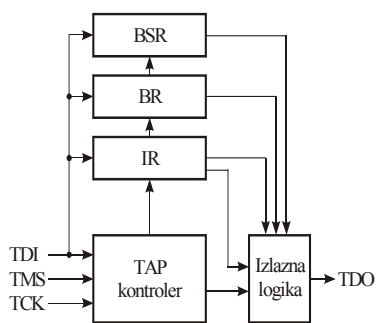
Sl. 2: Arhitektura čipa sa ugrađenim samotestiranjem

BS metod projektovanja definisan je IEEE standardom 1149.1. Ovaj standard podrazumeva ugradnju dodatne testne logike u čip radi pojednostavljenja testiranja systemske logike na čipu i u njegovom okruženju [2], [3]. Čip realizovan u skladu sa IEEE 1149.1 sastoji se od systemske logike koja obavlja primarnu funkciju čipa i dodatne testne logike, kao što je to prikazano na slici 3.



Sl. 3: Struktura čipa realizovanog u skladu sa IEEE 1149.1

Na slici 4 prikazana je testna logika koja se sastoji od sledećih celina: boundary-scan registar (BSR), bypass registar (BR), instrukcioni registar (IR), TAP (test access port) kontroler i izlazna logika. BSR predstavlja niz BS ćelija (BSC) i ima mogućnost serijskog i paralelnog upisa i čitanja. BSC su memorijski elementi koji su raspoređeni po obodu integrisanog kola. Signal sa primarnog ulaza mora da prođe kroz jednu BSC da bi dospo do systemske logike. Takođe, signal sa izlaza systemske logike mora da prođe kroz jednu BSC da bi dospo do primarnog izlaza.



Sl. 4: Blok šema testne logike

Spolja gledano, čip projektovan prema IEEE 1149.1 ima četiri dodatna pina:

- TDI - ulaz za testne podatke,
- TDO - izlaz za testne podatke,
- TMS - ulaz za izbor načina rada i
- TCK - testni takt.

Ovi pinovi, posmatrani zajedno, formiraju port za testiranje - TAP (Test Access Port).

Svako od opisanih rešenja krije u sebi po neki nedostatak.

DFT metod zahteva uvođenje dodatnih pinova za testiranje, čime se povećava površina čipa. Alternativno rešenje predstavlja korišćenje serijskog pristupa blokovima, čime se postupak testiranja usporava.

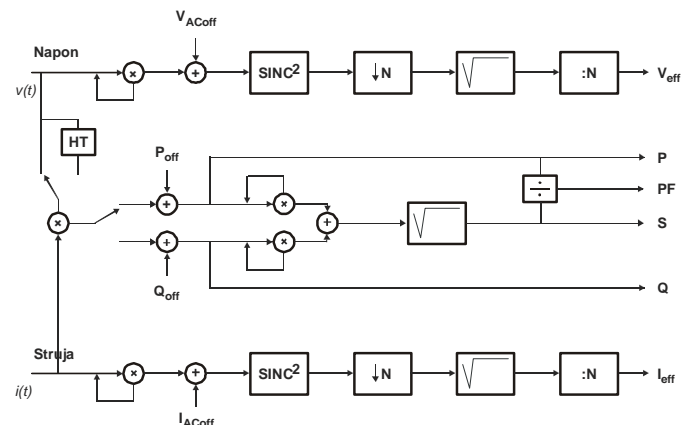
Osnovni nedostatak BIST tehnika ispoljava kod složenih kola jer se povećava i veličina blokova testne logike.

Slična konstatacija važi i za slučaj BS metoda s tim što mu se kao nedostatak može navesti i serijski pristup blokovima tj. sporost testiranja.

Za sve navedene principe može se kao glavni nedostatak navesti nemogućnost dijagnostike. Imajući u vidu da je pri izradi prototipa čipa ovo vrlo važno, ovaj nedostatak se može smatrati najozbiljnijim u ovoj fazi projektovanja.

3. DSP LANAC U INTEGRISANOM MERAČU POTROŠNJE ELEKTRIČNE ENERGIJE

Razmotrimo sada jednu od mogućih varijanti DSP bloka namenjenog za izračunavanje efektivne vrednosti struje (I_{eff}) i napona (V_{eff}), aktivne (P), reaktivne (Q) i prividne (S) snage, i faktora snage (PF) [4]. Ovaj blok prikazan je na slici 5



Sl. 5: DSP lanac

Ulazne signale u ovaj blok predstavljaju trenutne vrednosti struje $i(t)$ i napona $v(t)$ u digitalnom obliku. Ove digitalne reči obrađuju se u blokovima za množenje, sabiranje, korenovanje, NF filterima i deliteljima. Izračunavanje I_{eff} i V_{eff} realizovano je na osnovu definicije efektivne vrednosti vremenski zavisnog signala $x(t)$ u kontinualnom

$$X = \sqrt{\frac{1}{T} \int_0^T x^2(t) dt} \quad (1)$$

i diskretnom obliku

$$X = \sqrt{\frac{1}{T} \sum_{i=1}^N X^2(i)} \quad (2)$$

Drugi deo ovog lanca služi za dobijanje aktivne, reaktivne, prividne i faktora snage. Kao dodatna kola ovde se javljaju još i Hilbertov transformator, kojim se faza napona pomera za 90° i digitalna kola za deljenje. Aktivna snaga se dobija kao jednosmerna vrednost proizvoda trenutnih vrednosti napona i struje, dok se reaktivna snaga dobija istim kolima, pri čemu se trenutna vrednost napona prvo propusti kroz

Hilbertov transformator. Na osnovu ove dve vrednosti jednostavno se izračunavaju prividna snaga

$$S = \sqrt{P^2 + Q^2} \quad (3)$$

i faktor snage:

$$PF = P/S. \quad (4)$$

Odgovarajućom logikom za selektovanje može se postići ušteda u hardveru tako što će se omogućiti višenamensko korišćenje nekih blokova (npr, kola za sabiranje i množenje).

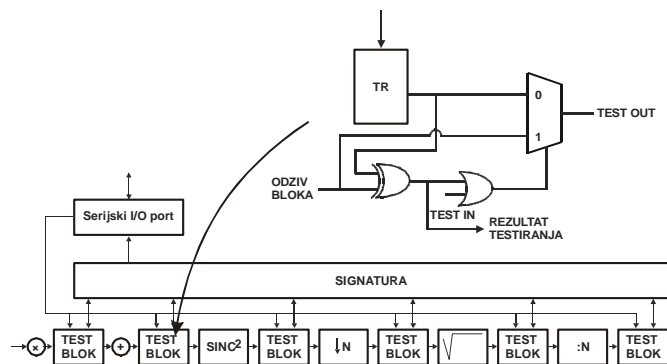
Treba primetiti da su svi gradivni blokovi DSP lanca serijski vezani tj. nema povratnih veza i preplitanja tokova podataka. Ova činjenica značajno olakšava postupak testiranja. Princip ugradnje testne i dijagnostičke logike biće nadalje detaljnije opisan.

4. PRINCIP TESTIRANJA I DIJAGNOSTIKE U DSP SPECIFIČNE NAMENE

Koncept testiranja opisanog DSP lanca ilustrovan je na slici 6 i on se zasniva na "skeniranju" rada svakog bloka. Sa slike se vidi da se iza svakog bloka u DSP lancu dodaje po jedan testni blok koji se sastoji od:

- registra TR
- komparatora i
- multipleksera

U registru se smešta informacija o ispravnom odzivu datog bloka. Komparatorom se poredi odziv bloka sa ispravnim odzivom iz registra. Multiplexerom se obezbeđuje da se na ulaz sledećeg bloka u lancu dovede ispravna digitalna reč. Dodatni izlazni prihvatni registar (signatura) služi za smeštaj rezultata poređenja odziva posmatranog bloka na zadatu pobudu i ispravnog odziva kola. Pozicija bitova u tom registru ukazuje na mesto bloka u DSP lancu.



Sl. 6: Koncept testiranja i dijagnostike DSP lanca

Ceo DSP lanac radi u dva režima: normalni i testni. U normalnom režimu, multiplekseri prosleđuju informacije od jednog bloka DSP lanca do drugog. U testnom režimu (signal $test\ in=0$) multiplekseri su kontrolisani komparatorima.

Dodati testni registar odgovarajuće veličine ima mogućnost paralelnog ili serijskog upisa ispravnog odziva odgovarajućeg bloka. Zatim se na ulaz istog bloka dovodi očekivani testni vektor za slučaj ispravnog rada kola. U komparatoru se porede očekivani odziv iz registra i odziv dobijen sa izlaza bloka. U zavisnosti od odnosa ovih dveju digitalnih reči, u izlazni registar se na odgovarajućem mestu upisuje logička jedinica ako su odzivi identični, odnosno logička nula, ako se oni razlikuju. Na ovaj način se analizom

sadržaja izlaznog registra može tačno utvrditi koji blokovi u lancu rade ispravno.

Ostavljena je sloboda kontrole testiranja. Naime, moguće je pojedinačno pristupati svakom bloku ponaosob odgovarajućim adresiranjem i pratiti njegovo ponašanje. Pored toga, moguće je dovesti odgovarajuću pobudu na početak lanca i pratiti odzive svih blokova u DFT nizu istovremeno. Podrazumeva se da se pamćenjem očekivanog odziva u TR registru, koji se nalazi na izlazu svakog bloka istovremeno čuva i ispravna pobuda za naredni blok. U oba slučaja informacija o ispravnosti pojedinih blokova upisaće se u izlazni registar (signatura). Ovaj prihvatni registar zamišljen je da radi tako što će se jednom postavljena logička nula na odgovarajućoj bit poziciji zadržavati sve dok traje testiranje. Ovim se izbegava slučaj da ispravan odziv bloka u lancu sakrije informaciju o prethodno neispravnom radu tog bloka.

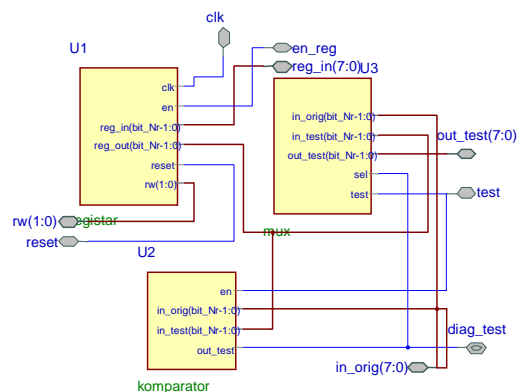
Primena ovog koncepta pri projektovanju testnog čipa, čiji je sastavni deo i opisani DSP lanac, nudi sledeće pogodnosti:

- minimalno proširenje dodatne logike na čipu,
- jednostavnu realizaciju,
- primenjivost kod testiranja drugih DSP lanaca, tj. univerzalnost,
- brzo testiranje,
- mogućnost brzog lociranja eventualne neispravnosti u DSP lancu.

Pri svemu ovome treba uzeti u obzir da je primena opisane tehnike prvenstveno namenjena testiranju probnog čipa jer se tada očekuje najviše potencijalnih grešaka kako u projektovanju tako i u proizvodnji.

5. STRUKTURNI OPIS TESTNE LOGIKE U VHDL-U

Sva potrebna kola opisana su, a zatim simulirana korišćenjem VHDL simulatora [5]. Blok šema testnog bloka koji se dodaje na izlazu svakog od segmenata DSP lanca prikazana je na slici 7.



Sl. 7: Strukturna šema testnog bloka

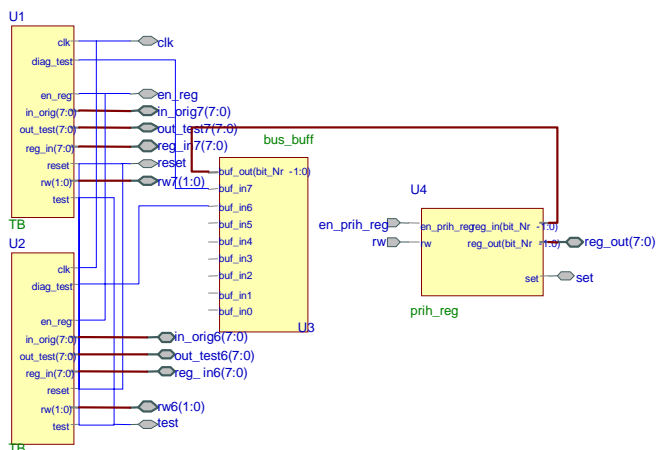
Celokupni testni blok definisan je kao jedan entitet radi lakšeg instanciranja. VHDL kod generisan je automatski na osnovu blok dijagrama sa slike 7, čime je smanjen rizik od grešaka u projektovanju. Ovaj entitet pridružen je odgovarajućem paketu u korisničkoj biblioteci zajedno sa opisom ostalih blokova.

Treba reći da su dužine reči portova tj. broj bitova na ulazu i izlazu, u VHDL opisane promenljivom tipa generik.

To znači da se one eksplicitno zadaju mapiranjem generika, odnosno, jedan isti opis bloka može se koristiti za registre i multiplexerske različite dužine.

Primer povezivanja dva ovakva testna bloka sa DSP logikom koja se testira i prihvatnim registrom u kome se smešta rezultat poređenja odziva kola prikazan je na slici 8.

Veličina digitalnih reči koje se pojavljuju u ovim blokovima inicijalno je postavljena na 8. Za konkretnu realizaciju DSP lanca, dužina digitalnih reči biće 24 ili 48, u zavisnosti od operacije koju konkretan blok treba da obavi. Npr. dva činioca jednog proizvoda definisana su sa 24 bita, dok je njihov proizvod 48-bitni. Slično je i sa kolom za deljenje odnosno korenovanje.



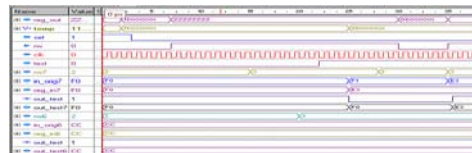
Sl. 8: Blok šema sistema za testiranje i dijagnostiku DSP

Osnovna prednost ovakve konfiguracije u odnosu na postojeća rešenja projektovanja za testabilnost jeste mogućnost dijagnostike. To znači da se kao izlazni rezultat ne pojavljuje samo odziv kola na zadatu pobudu, već vektor koji nosi informaciju o tome koji blok ne zadovoljava funkcionalne zahteve. Ova funkcija poređenja uglavnom je u dosadašnjim rešenjima bila realizovana van čipa. Može se postaviti i pitanje zašto se kao testni blokovi nisu koristili elementi BS logike odnosno BS ćelije. Razlog je u tome što realizacija BS koncepta zahteva tačno dvostruko više latch kola odnosno flip-flova od kojih se realizuju prihvatni ulazni i izlazni registri. U slučaju predloženog rešenja jedan registar služi istovremeno i kao izlazni registar iz prethodnog bloka u lancu i kao ulazni registar u naredni DSP blok. U suštini, u BS konceptu udvostručavanje ulazno izlaznih registara služi za testiranje veza između blokova. Međutim, kako se posao rutiranja veza među blokovima obavlja automatski, ne bi trebalo očekivati pojavu neregularnosti. Predviđeno je da se testni vektori i odgovarajući odzivi za svaki blok pojedinačno čuvaju u spoljnoj memoriji, odakle bi im se pristupalo preko serijskog U/I interfejsa.

6. REZULTATI SIMULACIJE

Nakon automatskog generisanja odgovarajućeg VHDL opisa na osnovu prikazanih blok šema, pokrenut je Active HDL simulator. Zadat je skup testnih vektora na osnovu kojih bi se mogla potvrditi funkcionalnost realizovane strukture. Na slici 9 prikazani su rezultati simulacije. Nakon upisivanja odgovarajućih digitalnih reči u registre testnih blokova, i nakon dovođenja testnog vektora koji se dobija na

izlazu originalnog bloka koji se testira, utvrđeno je da testni blok ostvaruje primarnu funkciju. Naime u slučaju nepodudaranja digitalne reči iz originalnog DSP bloka i digitalne reči koja predstavlja ispravan odziv kola, smeštene u registru testnog bloka, na odgovarajućoj bitskoj poziciji u prihvatnom registru izlazne logike bila upisana logička nula. Ova bitska pozicija zadržava vrednost i u slučaju da pri sledećoj pobudnoj sekvenci dve digitalne reči budu identične. To znači da nema prikrivanja rezultata testiranja. Na osnovu pozicije bita u digitalnoj reči izlaznog registra može se utvrditi koji od blokova ne radi ispravno.



Sl. 9: Rezultati simulacije

7. ZAKLJUČAK

U procesu projektovanja integrisanih elektronskih kola, testiranje i dijagnostiku treba shvatiti kao važne aspekte koji značajno utiču na performanse gotovog sistema. Na prvom mestu njihov uticaj ogleda se u optimizaciji odnosa cene i pouzdanosti. U ovom radu iznet je originalan praktičan predlog realizacije testno-dijagnostičkih funkcija u DSP lancu integrisanog merača potrošnje električne energije. Obrazložene su prednosti usvojenog rešenja. Buduća nadgradnja ovog metoda očekuje se u domenu proširenja kontrolne testne logike i u razradi postupka za optimalni izbor pobudnih testnih vektora.

LITERATURA

- [1] Vančo Litovski "Projektovanje elektronskih kola", DGIP "Nova Jugoslavija" - Vranje, Niš, 2000.
- [2] D. Maksimović, M. Sokolović "Boundary-scan projektovanje elektronskih kola" Zbornik XLVI konferencije ETRAN-a, Banja Vrućica jun 2002. pp.82 I-85 I
- [3] -, "Supplemented to IEEE Std. 1149.1-1990, IEEE Standard Test Access Port and Boundary-Scan Architecture", IEEE, New York, USA, 1995.
- [4] "CS5460A Single Phase Bi-Directional Power/Energy IC", CRYSTAL, www.cirrus.com
- [5] Active-HDL, ver. 5.1., ALDEC Inc., 2002.

Abstract – During large DSP systems on chip design, one of the most important demand is assigned to fast and efficient testability as well as the ability of defect diagnostics. This is very important considering expenses and time consumption needed for circuit design and potential design faults allocation. This paper presents an original practical testing problem solution in a specific application DSP chain of the integrated power-meter, that benefits BIST and scan testing and faults allocation techniques in a digital circuits. Practical application of the proposed solution is confirmed by VHDL simulations.

**DESIGN FOR TESTABILITY IN APPLICATION
SPECIFIC DSP**

Miljana Sokolović, Predrag Petković