

MODELOVANJE D/A SPREGE ZA HIBRIDNU FUNKCIONALNU SIMULACIJU

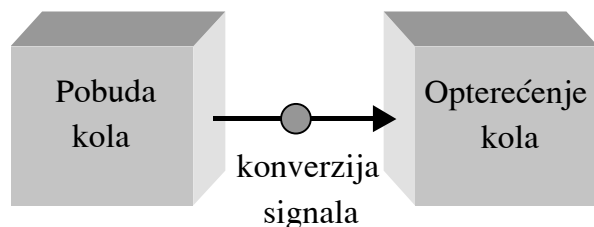
Vančo Litovski, Miona Andrejević, *Elektronski fakultet u Nišu*

Sadržaj - U ovom radu veštačka neuronska mreža koristi se za modelovanje izlaznog kola digitalnog dela digitalno-analogne sprege u hibridnom kolu. Za modelovanje sprege predlaže se nova topologija kola, a zatim se model verifikuje. Sposobnost generalizacije neuronske mreže potvrđuje se kroz niz primera kada je model u okruženju koje mu je nepoznato u postupku obučavanja.

1. UVOD

Projektovanje elektronskih i telekomunikacionih integrisanih kola suočeno je sa simulacijom analognih podsistema čija složenost stalno raste, tako da nastaju sve složeniji hibridni sistemi koji sadrže i analogne i digitalne delove. Projektovanje ovakvih sistema zahteva alat za simulaciju koji je istovremeno i brz i precizan. Glavna prepreka pri ispunjavanju ovog zahteva vezana je za teškoće modelovanja analognog dela na visokom nivou, kao i za dovoljno precizno modelovanje digitalno-analogne (D/A) i analogno-digitalne (A/D) sprege koje se često sreću u ovakvim sistemima [1], [2].

Ako razmotrimo sistem prikazan na Sl. 1, uočićemo dve različite situacije. Kod D/A sprege potrebno nam je električno kolo da bismo modelovali izlaz digitalnog dela, i tako istovremeno izveli D/A konverziju signala i omogućili električnu pobudu za analogno opterećenje. Zatim, kod A/D sprege, treba modelovati ulaznu impedansu digitalnog dela sistema da bismo dobili uslove za računanje napona i struja sprege na izlazu analogne pobude. Ako imamo u vidu da se simulacija izvodi u vremenskom domenu, da radimo sa hibridnom simulacijom, kao i složenost i nelinearnost kola, zaključujemo da je potrebno funkcionalno modelovanje.



Sl.1 Hibridni sistem

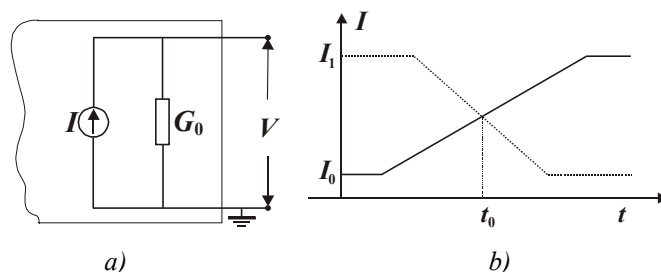
Modelovanje A/D sprege razmotreno je u [3], tako da će u ovom radu biti opisan samo postupak modelovanja D/A sprege.

2. PROBLEM D/A KONVERZIJE SIGNALA

Kada se signal prostire od logičkog ka analognom elementu, potrebna je konverzija digitalnog signala u analogni. Modelovanje D/A čvora je veoma složeno, jer s obzirom na analogno opterećenje, treba razrešiti problem

generisanja talasnog oblika na izlazu digitalnog kola. Algoritmi konverzije su uglavnom zasnovani na sintezi električnog kola koje zamenjuje logički element, i koje se priključuje kao pobuda datom čvoru. Treba uzeti u obzir i kašnjenja logičkih elemenata.

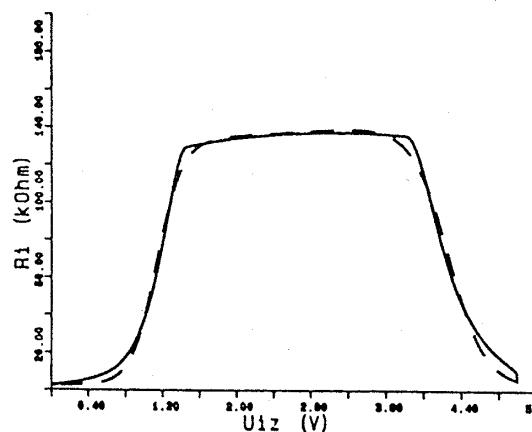
Najjednostavnija verzija D/A konverzije signala ilustrovana je na Sl. 2a [4]. Prikazana je grana koja se sastoji od konstantne odvodnosti G_0 i strujnog generatora I , a priključuje se na D/A čvor.



Sl. 2 a) Kolo za jednostavnu D/A konverziju, b) Talasni oblik struje generatora

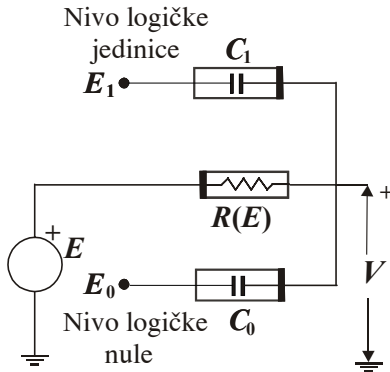
Količnici I_1/G_0 i I_0/G_0 odgovaraju naponskim nivoima logičke jedinice i logičke nule, respektivno, pri čemu je dozvoljeno različito vreme prelaska od logičke jedinice na nulu, i obrnuto. Talasni oblik struje pri prelasku od logičke jedinice na nulu, i obrnuto, dat je na Sl. 2b.

U mnogim primerima u literaturi opisana su kola koja aproksimiraju analogni signal prekidnim funkcijama, što je veoma nepovoljno za analizu nelinearnih kola. Izlazno kolo je aproksimirano neprekidnom funkcijom u [5], [6]. Pri tome, u obzir je uzeta samo nelinearna otpornost, za koju su aproksimacijom dobijeni analitički izrazi na osnovu zavisnosti izlazne otpornosti i izlaznog napona, kao na Sl. 3.



Sl. 3 Aproksimacija izlazne otpornosti

Kolo sa Sl. 4. [7] uzima u obzir i izlaznu kapacitivnost. Ono se sastoji od nelinearnog kontrolisanog idealnog naponskog generatora E , nelinearnog otpornika R i dva izlazna nelinearna kondenzatora C_0 i C_1 . Prenosna karakteristika, kašnjenje, izlazna otpornost i kapacitivnost digitalnih modula su precizno modelovani. Električni signal koji ima oblik rampe, i koji je dobijen konverzijom logičkog signala, najpre se zakasni i kao takav predstavlja kontrolišuću veličinu nelinearnog generatora E , čija zavisnost od kontrolišućeg napona je zapravo prenosna karakteristika ekvivalentnog invertora. C_0 i C_1 su kapacitivnosti prostornog naelektrisanja komplementarnih tranzistora u ekvivalentnom invertoru.



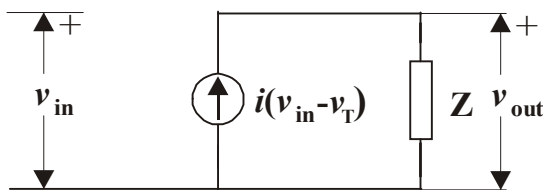
Sl. 4 D/A konverzija upotrebom nelinearnog reaktivnog dela

3. OPIS I VERIFIKACIJA MODELA

Kako nijedan od navedenih modela nije potpun, rešenje predloženo u ovom radu zasnovano je na modelovanju upotrebom veštačkih neuronskih mreža (VNM). Smatra se da je ovo rešenje pogodno zato što se funkcija aproksimira vrlo jednostavno na osnovu merenih vrednosti, bez generisanja šema električnih kola.

Nakon objavljivanja prvih rezultata primene neuronske mreže u modelovanju, [8], usledili su primeri modelovanja mikrotalasnih komponenti, mikrostrip veza, međuslojnih prelaza, spiralnih integrisanih kalemova, a najobimniji pregled ovih rezultata dat je u [9]. Pri tome, modelovana su otporna svojstva komponenta. Prvi pokušaj primene VNM za modelovanje nelinearnih reaktivnih dvopola opisan je u [10] kada su modelovane nelinearne magnetne karakteristike elektromagneta sa pokretnom kotvom. U ovom radu je VNM prvi put primenjena za modelovanje izlaznog dela digitalnog kola u vremenskom domenu.

Pri modelovanju ove sprege, predložena je nova topologija kola, prikazana na Sl. 5.



Sl. 5 Topologija kola za modelovanje D/A sprege

U narednom primeru razmatra se invertor. v_{in} je linearno rastući kontrolišući napon,

$$i(v_{in} - v_T) = I_{max} [1 - th(v_{in} - v_T)] \quad (1)$$

a Z je neuronska mreža koja aproksimira funkciju:

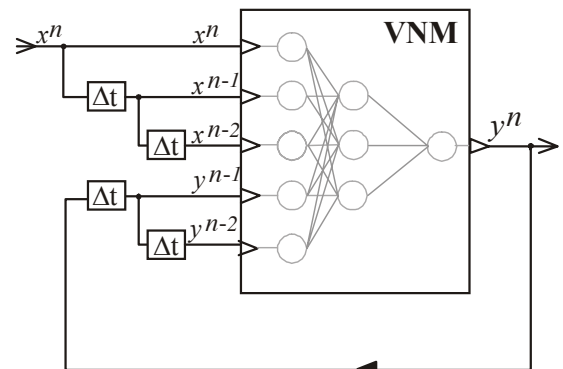
$$v_{out} = Z(i) \quad (2)$$

I_{max} je maksimalna struja napajanja za vreme promene stanja izlaznog invertora, i v_T je (obično) jednako $V_{DD}/2$, pri čemu je V_{DD} napon napajanja. Očigledno, VNM model ima jedan ulazni kraj (struja) i jedan izlazni (napon). Obučavanje mreže je onda zasnovano na parovima za obučavanje ($i(t)$, $v_{out}(t)$), gde se $i(t)$ računa iz (1), dok se $v_{out}(t)$ dobija iz merenja ili simulacije kola koje se modeluje (invertora u ovom slučaju).

Neuronska mreža (Z) je rekurentna mreža sa vremenskim kašnjenjem zato što izlazna impedansa koja se aproksimira ima dinamička i memorijska svojstva. VNM ima jedan skriveni sloj, pet ulaza, tri skrivena neurona i jedan izlazni neuron (Sl. 6). Tabela 1 sadrži težine i pragove svih neurona dobijenih programom *Learnnet* [11].

Tabela 1

| Br. | Neuroni u skrivenom sloju (prvi broj označava ulazni neuron) | Izlazni neuron (prvi broj označava skriveni neuron) |
|-----|---|---|
| 1 | $w^1(1,1) = 2.28185$ $w^1(2,1) = -3.51137$ $w^1(3,1) = 1.36815$ $w^1(4,1) = 3.54312$ $w^1(5,1) = -1.37367$ $\theta^1_1 = -1.3177$ | $w^2(1,1) = 0.644039$ $w^2(2,1) = 0.644042$ $w^2(3,1) = 0.644043$ $\theta^2_1 = -0.408248$ |
| 2 | $w^1(1,2) = 2.28187$ $w^1(2,2) = -3.51135$ $w^1(3,2) = 1.36816$ $w^1(4,2) = 3.54312$ $w^1(5,2) = -1.37366$ $\theta^1_2 = -1.31769$ | |
| 3 | $w^1(1,3) = 2.28187$ $w^1(2,3) = -3.51135$ $w^1(3,3) = 1.36816$ $w^1(4,3) = 3.54313$ $w^1(5,3) = -1.37366$ $\theta^1_3 = -1.31769$ | |



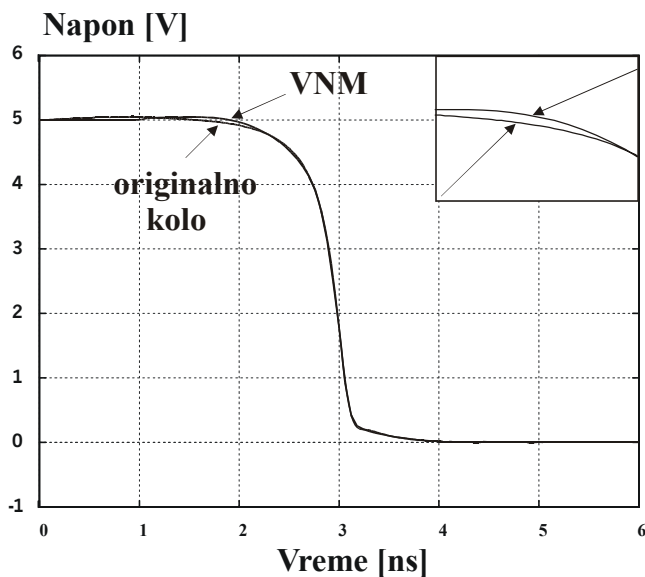
Sl. 6 Rekurentna neuronska mreža sa vremenskim kašnjenjem

Invertor je jednoulazno kolo, pa je vrednost napona v_{in} iz izraza (1) samo jedna.

Kod višeuulaznih kola postoji i više ulaznih napona, pa treba u svakom trenutku znati koji od njih postaje v_{in} , jer za svaku kombinaciju ulaznih veličina postoji odgovarajuća izlazna impedansa. Drugim rečima, ulazi su neravnopravni. Postoji i problem sekvencijalnih kola kod kojih stanje na izlazu zavisi kako od stanja na ulazima, tako i od prethodnog stanja na izlazu. Izbor kontrolišuće veličine za slučaj analognih makromodela prikazan je u [12], gde se ona kod kombinacionih višeuulaznih kola određuje analizom tablice istinitosti, dok se kod sekvencijalnih kola vrši detaljnija analiza rada ćelije na osnovu koje se utvrđuje redosled delovanja ulaznih veličina na promenu izlaznog stanja.

U ovom slučaju kolo je hibridno, što znači da se neuronska mreža na ulazu spreže sa logičkim kolom, pa je napon v_{in} napon digitalnog čvora. U toku logičke simulacije evidencija o događajima i vremenu njihovog nastajanja se vodi u Tabelama Budućih Događaja. Tako je na osnovu te tabele poznato koji su ulazi inicirali određeno stanje na ulazu, pa se shodno tome za D/A čvor priključuje i odgovarajuća impedansa (iskazana u obliku VNM) u koju je ugrađeno potrebno kašnjenje.

Prvi rezultati prikazani su na Sl. 7. Dati su izlazni talasni oblik originalnog invertora i modela da bi se pokazao kvalitet postupka aproksimacije. Simulirana su neopterećena kola, pri čemu je korišćen funkcionalni simulator *Alecsis* [13].



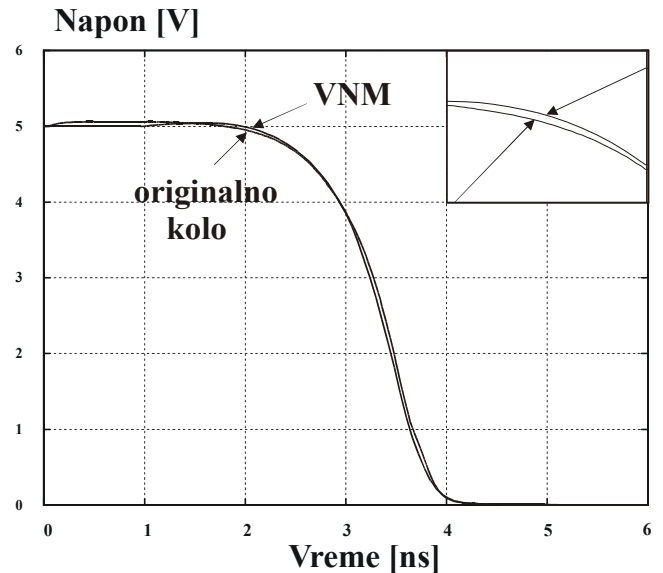
Sl. 7 Modelovanje D/A sprege: odziv neopterećenog CMOS invertora (koji se smatra za digitalni izlaz) - "originalno kolo" i odziv modela - "VNM"

4. GENERALIZACIJA MODELA

Postupak modelovanja proverava se implementiranjem modela u realno okruženje. Treba naglasiti da su podaci korišćeni za obučavanje mreže dobijeni simulacijom neopterećenog kola. Model nastao obučavanjem za beskonačnu impedansu sada treba opteretiti realnom impedansom.

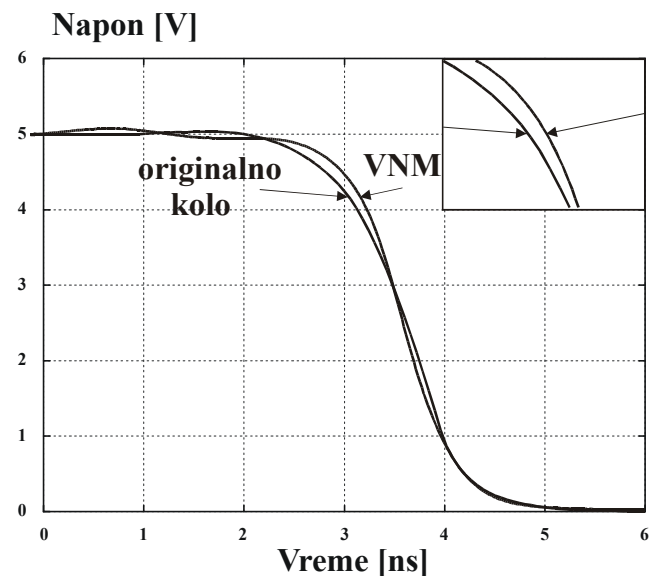
Naredna tri primera treba da pokažu kako se kolo ponaša u baš takvim situacijama, koje mu nisu bile poznate u postupku obučavanja.

Sl. 8 pokazuje dva odziva. Prvi je izlazni napon invertora (modelovanog potpunim modelima tranzistora) koji je opterećen invertorom. Drugi predstavlja odziv istog kola pri čemu se VNM model koristi za pobudu kola, a električni model invertora kao opterećenje. Ova situacija je bila nepoznata u postupku modelovanja.



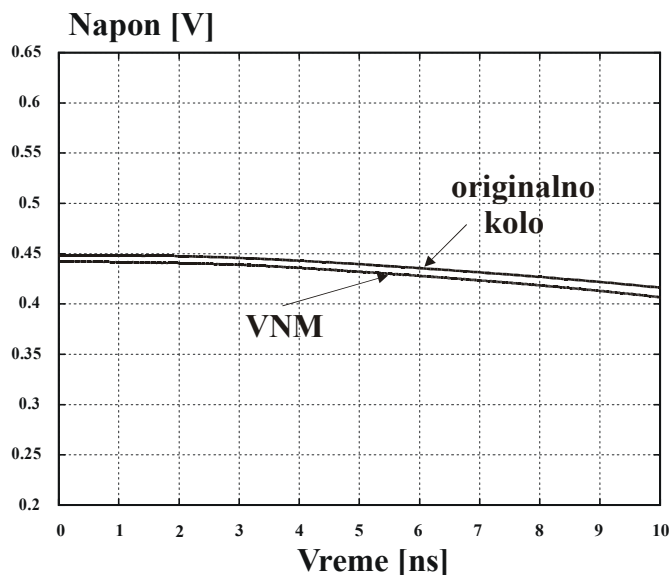
Sl. 8 Modelovanje D/A sprege: odziv CMOS invertora opterećenog invertorom - "originalno kolo" i odziv modela opterećenog invertorom - "VNM"

Dalje, Sl. 9 predstavlja slično poređenje, pri čemu je opterećenje transmisioni vod modelovan π -RC mrežom [14], za slučaj da je $R=800\Omega$; $C=0,1\text{pF}$, što je dosta veliko opterećenje.



Sl. 9 Modelovanje D/A sprege: odziv CMOS invertora opterećenog π -RC -mrežom - "originalno kolo" i odziv modela opterećenog π -RC -mrežom - "VNM"

Kako je inverter čiji je digitalni izlaz modelovan neuronskom mrežom u CMOS tehnologiji, njegova generalizacija je pokazana i sprežanjem modela sa elementom u bipolarnoj tehnologiji, u ovom slučaju diodom, tako da je dokazana primenljivost u slučaju "velikih" nelinearnih dinamičkih opterećenja. Poređenje simulacije kola i funkcionalne simulacije je na Sl. 10. Napon sprege određen je naponom na diodi (oko 450mV), pa se valjanost modela lako uočava ako se primeti da je razlika odziva modela i originalnog kola 10-20mV.



Sl. 10 Modelovanje D/A sprege: odziv CMOS invertora opterećenog diodom - "originalno kolo" i odziv modela opterećenog diodom - "VNM"

5. ZAKLJUČAK

U ovom radu prikazana je još jedna primena veštačke neuronske mreže u modelovanju električnih kola. Mreža je korišćena za modelovanje izlaznog kola digitalnog dela digitalno-analogne sprege u hibridnom kolu. Za modelovanje sprege predložena je nova topologija kola, a zatim je model verifikovan. Generalizacija modela prikazana je tako što je model implementiran u različita okruženja, koja su mu bila nepoznata u postupku obučavanja: opterećen je CMOS invertorom, π -RC mrežom i diodom. Rezultati implementacije pokazuju primenljivost modela u različitim situacijama, pa tako i potvrđuju valjanost ideje.

LITERATURA

- [1] Trihy, R., Kundert, K.: "Top Down Design with VHDL-A", *Proc. EUROSIM'95 - Session: Software Tools and Products*, Vienna, pp. 53-56, September 1995.
- [2] Kundert, K. S.: "Introduction to RF Simulation and Its Application", *IEEE Journal Solid-State Circuits*, Vol. 34, No. 9, pp. 1298-1318, Sept. 1999.
- [3] Litovski, V., Andrejević, M.: "ANN application in modeling of A/D interfaces for mixed-mode behavioral simulation", *XLVI Konferencija ETRANA*, Banja Vrućica, Bosna i Hercegovina, pp. I.51-I.54, 2002.

- [4] Zwolinski, M. et al.: "The "HOMICIDES" mixed-mode circuit simulator", *Proc. of the Silicon Design Conf.*, Heathrow, November 1-2, 1989.
- [5] Petković, P., Litovski, V.: "Time domain black-box modeling of CMOS structures and analogue timing simulation", *Proc. of the Third Annual European Computer Conference, COMPEURO'89*, Hamburg, pp. 5.142-5.143, May 1989.
- [6] Petković, P., Litovski, V.: "Output resistance of CMOS logic cells", *Proc. of the 3rd Mideuropean Conf. Custom/ASICS, CCC1991*, Sopron, Hungary, pp. 237-244, April 1991.
- [7] Petković, P., Stojanović, Z.: "Primena analognih makromodela logičkih ćelija u modeliranju D/A sprege kod hibridnog simulatora", *Zbornik radova sa XXXVI Jugoslovenske konferencije ETANA*, Kopaonik, II Sveska, pp. 51-57, Septembar 1992.
- [8] Litovski, V. B., Rađenović, J. I., Mrčarica, Ž. M., Milenković, S. Lj.: "MOS transistor modeling using neural networks", *Electronics Letters*, Vol. 28, No. 18, pp. 1766-1768, 1992.
- [9] Wang, F., Zhang, Q-j: "Knowledge-based Neural Models for Microwave Design", *IEEE Trans. on MTT*, Vol. 45, No. 12, pp. 2333-2343, December 1997.
- [10] Litovski, V.B., Mrčarica, Ž., Ilić, T.: "Simulation of non-linear magnetic circuits modeled using artificial neural network", *Simulation Practice and Theory*, Elsevier, No. 5, pp. 553-570, 1997.
- [11] Zografski Z.: "A novel machine learning algorithm and its use in modeling and simulation of dynamical systems", *Proc. of the 5th Ann. Eur. Comp. Conference, COMPEURO'91*, pp. 860-864, Bologna, May 1991.
- [12] Petković P.: "Makromodeliranje i makroanaliza CMOS LSI elektronskih kola", Doktorska disertacija, Niš, 1990.
- [13] Glozić, D.: "Alecsis, the Simulator", Elektronski Fakultet, LEDA, Niš, Yugoslavia (interna publikacija), 1996.
- [14] Chatzigeorgiou, A., Nikolaidis, S., Tsukalas, I.: "Modeling CMOS Gates Driving RC Interconnect Loads", *IEEE Trans. on Circuits and Systems -II: Analogue and Digital Signal Processing*, Vol. 48, No. 4, pp. 413-418, April 2001.

Abstract - In this paper artificial neural network is applied for modeling of the output circuit of the digital part at the digital/analogue interface in the mixed-mode circuits. A new circuit topology is proposed for modeling, and the model is then verified. The generalization property of the neural network is exploited to apply the model in a set of previously unknown situations.

MODELING OF D/A INTERFACE FOR MIXED-MODE BEHAVIORAL SIMULATION

Vančo Litovski, Miona Andrejević