



Test iz Projektovanja (Digitalnih) Integriranih Kola

1. Odrediti cenu jednog peleta (dela, *die*) čije su dimenzije $5 \times 10 \text{ mm}^2$, za proces u kome cena proizvodnje podloge (*wafers*) prečnika 300mm, košta 335€. Parametri procesa su $N_{DEF} = 2 \text{ defekta/cm}^2$ i $\alpha = 3$.

Poznato je $C_D = C_P / (N_D P_D)$, $N_D' = \pi d / \sqrt{2 S_D}$, $P_D = (1 + N_{DEF} S_D / \alpha)^{-\alpha}$, gde je S_D površina peleta i d prečnik podloge.

$$C_D = 0.602 \text{ €}. \quad (0.25), \quad N_D' = 95 \quad (0.25), \quad N_D = 1318 \quad (0.25), \quad P_D = 42.19\% \quad (0.25)$$

2. Šta je STI i čemu služi u *Dual-Well* CMOS procesu?

Shallow Trench Isolation je nagriženi deo u osnovi koji se popunjava debelim oksidom i služi za izolaciju P i N Well-a u *Dual-Well* CMOS procesu. **(0.5 + 0.5)**

3. Izračunati srednju vrednost kapacitivnosti inverzno polarisanog PN spoja ako je napon logičke nule 0.1V, a napon logičke jedinice 1.1V. Pretpostaviti da se radi o strmom PN spoju. Poznato je $C_{j0} = 15 \text{ fF}$,

$$V_o = 0.7V, \quad k_q = \frac{V_o^{m_j}}{(V_H - V_L)(1 - m_j)} [(V_o + V_H)^{1 - m_j} - (V_o + V_L)^{1 - m_j}].$$

$$C_{AV} = 11.22 \text{ fF}. \quad (0.5), \quad k_q = 0.75 \quad (0.5), \quad C_{AV} = k_q \cdot C_{j0}, \quad m_j = 0.5 \text{ za strm PN spoj.}$$

4. Šta je *latch-up* efekat u CMOS integrisanim kolima?

Latch-up efekat je stanje u kome je parazitna tiristorska struktura CMOS invertora aktivna (void). **(1)**

5. Šta je tranzijentna frekvencija, f_T ?

Tranzijentna frekvencija je frekvencija pri kojoj je moduo strujnog pojačanja tranzistora jednak 1. **(1)**

6. Odrediti ukupnu kapacitivnost veze dužine 10cm i širine $5 \mu\text{m}$ izrađene u metalu Al1 koja se nalazi iznad *Active* oblasti. Poznato je,

C_{area} [aF/ μm^2]		Bottom plate	
C_{fringe} [aF/ μm]		Active	
Top plate	All	area	41
		fringe	47

$$C_{\text{wire}} = 29.9 \text{ pF} \quad (0.333), \quad C_{\text{pp}} = WLC_{\text{area}} = 20.4 \text{ pF} \quad (0.333), \quad C_{\text{fr}} = 2LC_{\text{fringe}} = 9.4 \text{ pF} \quad (0.333), \quad C_{\text{wire}} = C_{\text{pp}} + C_{\text{fringe}}$$

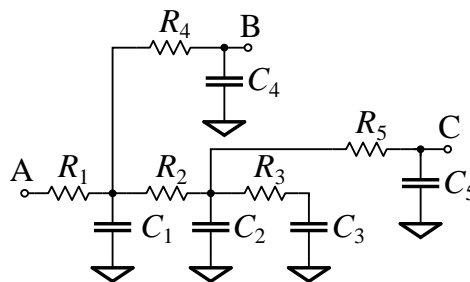
7. Primenom Elmoreove formule proceniti kašnjenje signala za kolo sa Sl.1 od čvora A do,

a) čvora B, **(0.5)**

$$t_{pAB} = 0.69[R_1(C_1 + C_2 + C_3 + C_5) + (R_1 + R_4)C_4]$$

b) i čvora C, **(0.5)**

$$t_{pAC} = 0.69[R_1(C_1 + C_4) + (R_1 + R_2)(C_2 + C_3) + (R_1 + R_2 + R_5)C_5]$$

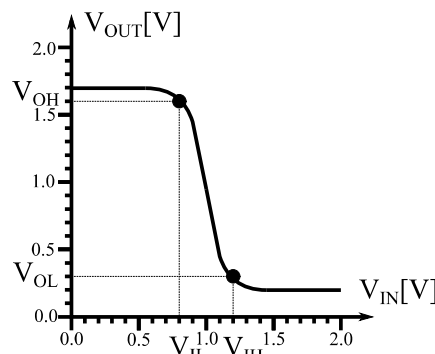


Sl. 1

8. Odrediti margine šuma za inverter čija je VTC data na Sl. 2.

$$NM_H = V_{OH} - V_{IH} = 1.6V - 1.2V = 0.4V. \quad \mathbf{(0.5)}$$

$$NM_L = V_{IL} - V_{OL} = 0.8V - 0.3V = 0.5V. \quad \mathbf{(0.5)}$$



Sl. 2

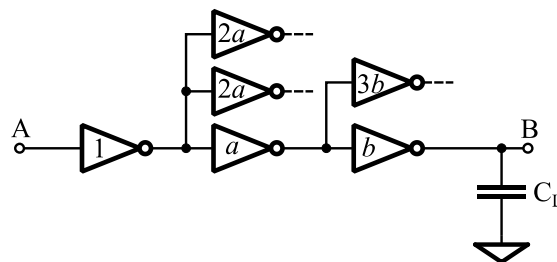
9. Odrediti relativne dimenzije invertora a i b sa Sl. 3 tako da kašnjenje duž kritične putanje od čvora A do čvora B bude minimalno. Kapacitivnost opterećenja C_L je 50 puta veća od ulazne kapacitivnosti jediničnog invertora.

$$a = 2. \quad \mathbf{(0.2)}$$

$$b = 5. \quad \mathbf{(0.2)}$$

$$5a = 4b/a = 50/b \Rightarrow a = 10/b, \quad 4b^3 = 500 \Rightarrow b = 125^{1/3} = 5.$$

$$f_1 = 5a \quad \mathbf{(0.2)}, \quad f_2 = 4b/a \quad \mathbf{(0.2)}, \quad f_3 = 50/b \quad \mathbf{(0.2)}$$

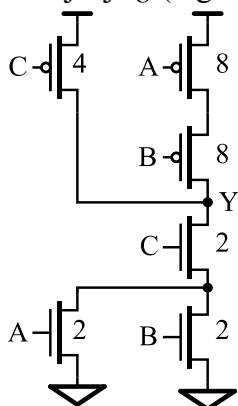


Sl. 3

$$f_1 = f_2 = f_3 = 10$$

10. Nacrtati električnu šemu na tranzistorskom nivou kojom se implementira logička funkcija,

$Y = \overline{(A + B)} \cdot C$ i dimenzionisati tranzistore po kriterijumu $t_{pLH} \approx t_{pHL}$. Relativni odnos dimenzija PMOS i NMOS tranzistora jediničnog invertora je 4/1. Odrediti parametre modela propagacionog kašnjenja g (logička efikasnost) i p za projektovani gejt.



Šema - **(0.3)**, dimenzije - **(0.05)** po tranzistoru,

$$g = C_{ext}/C_{ext,inv} = (8+2)/(4 + 1) = 10/5 = 2 \quad \mathbf{(0.2)}, \quad p = C_{int}/C_{int,inv} = (4 + 8 + 2)/(4 + 1) = 14/5 \quad \mathbf{(0.2)}$$