



Test iz Projektovanja (Digitalnih) Integriranih Kola

1. Odrediti cenu peleta dimenzije $3 \times 3 \text{ mm}^2$ ako se koristi podloga prečnika 125mm čija je cena 20€. Parametri procesa su $N_{DEF}=1 \text{ def/cm}^2$ i $\alpha=3.5$. Poznato je $C_D = C_P/(N_D P_D)$, $K = \pi d/\sqrt{2S_D}$, $P_D = (1 + N_{DEF} S_D/\alpha)^{-\alpha}$, gde je S_D površina peleta i d prečnik podloge.

$P_D = 91.5\%$. **0.2**, $K=93$ **0.2**, $N_D = 1270$ **0.2**, $M_D = 1162$. **0.2**, $C_D=0.01721\text{€}$, **0.2**

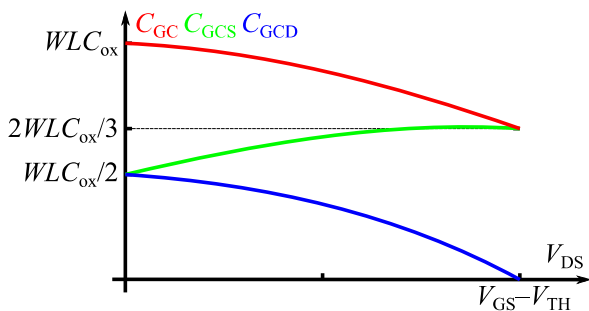
2. Šta su LVS pravila?

LVS pravila se odnose na korelaciju između električne predstave (šeme, šematika) i fizičke (geomterijske) predstave (lejauta) projektovanog IC kola. **1**

3. Izračunati koliko put se približno promeni inverzna struja zasićenja pn spoja ako se temperatura promeni za $\Delta T=40^\circ\text{C}$.

$I_{S1} = 2^{\Delta T/10} \times I_{S0} = 2^4 \times I_{S0} = 16 \times I_{S0} \Rightarrow 16$ puta **1**

4. Skicirati promenu kapacitivnosti C_{GCS} , C_{GCD} i C_{GC} u zavisnosti od napona drejn-sors.



$C_{GCS} - 0.3$ $C_{GCS} - 0.3$ $C_{GCS} - 0.4$

5. Kroz metalnu vezu izrađenu od aluminijuma specifične otpornosti, $\rho=2.7 \times 10^{-8} \Omega\text{m}$, ugrađenu u SiO_2 prolazi signal frekvenije, $f=2\text{GHz}$. Kolika treba da bude maksimalna dimenzija poprečnog preseka da ne bi došlo do skin efekta. Poznato je $\mu_{\text{SiO}_2} = 4\pi \times 10^{-7} \text{ H/m}$ i $\delta = \sqrt{\frac{\rho}{\mu\pi f}}$.

$\delta = 1.849\mu\text{m}$ (**0.5**), $\max\{H, W\} = 2\delta = 3.698\mu\text{m}$ (**0.5**)

6. Da bi se smanjio *latch-up* efekat treba koristiti, **1**

veći broj ili

manji broj *bulk/well* kontakata.

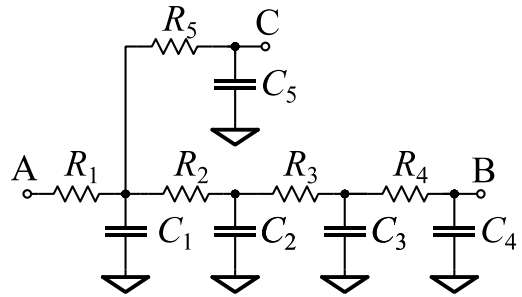
7. Primenom Elmoreove formule proceniti kašnjenje signala za kolo sa Sl.1 od čvora A do,

a) čvora B, **0.5**

$$\frac{t_{pAB}}{\ln(2)} = R_1(C_1 + C_5) + (R_1 + R_2)C_2 + (R_1 + R_2 + R_3)C_3 + (R_1 + R_2 + R_3 + R_4)C_4$$

b) i čvora C, **0.5**

$$\frac{t_{pAC}}{\ln(2)} = R_1(C_1 + C_2 + C_3 + C_4) + (R_1 + R_5)C_5$$

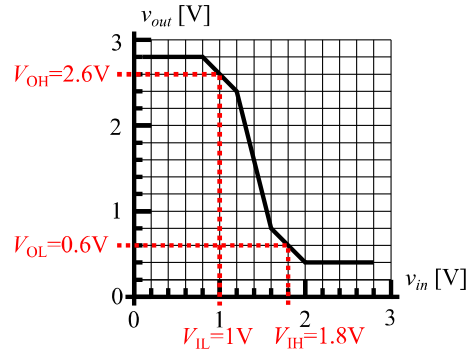


Sl. 1

8. Na osnovu VTC CMOS invertora sa Sl. 2 proceniti margine šuma,

$$NM_H = V_{OH} - V_{IH} = 2.6V - 1.8V = 0.8V \quad \mathbf{0.5}$$

$$NM_L = V_{IL} - V_{OL} = 1V - 0.6V = 0.4V \quad \mathbf{0.5}$$



Sl. 2

9. Odrediti relativne dimenzije gejtova *b* i *c* sa Sl. 3 tako da kašnjenje duž kritične putanje od čvora A do čvora B bude minimalno. Kapacitivnost opterećenja C_L je 100 puta veća od ulazne kapacitivnosti jediničnog invertora. Relativni odnos dimenzija PMOS i NMOS tranzistora jediničnog invertora je 2/1. Poznato je $a=5$.

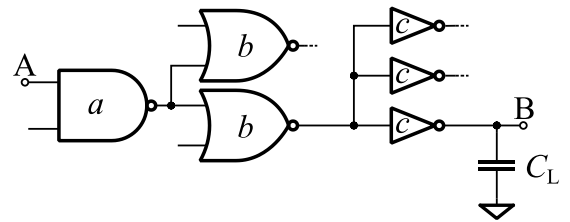
$$b = 12.069.$$

$$c = 15.536.$$

$$F = C_L/C_a = 100/5 = 20, G = (4/3) \times (5/3) \times (1) \approx 2.22, B = 1 \times 2 \times 3 = 6 \quad \mathbf{0.3}$$

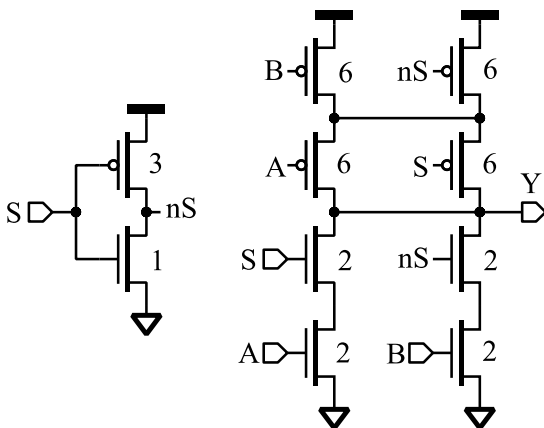
$$H = FGB = 266.667, h = H^{1/3} = 6.437, \quad \mathbf{0.2}$$

$$h = g_c f_c = g_c (C_L/c) \Rightarrow c = g_c C_L/h = 15.536, h = g_b f_b = g_b (3c/b) \Rightarrow b = g_b 2c/h = 8.046 \quad \mathbf{0.5}$$



Sl. 3

10. Nacrtati električnu šemu na tranzistorskom nivou kojom se implementira logička funkcija, $Y = S \cdot A + \bar{S} \cdot B$, i dimenzionisati tranzistore po kriterijumu $t_{pLH} \approx t_{pHL}$. Relativni odnos dimenzija PMOS i NMOS tranzistora jediničnog invertora je 3/1. Pod pretpostavkom da su svi ulazi statistički nezavisni, odrediti tranzijentnu aktivnost $\alpha_{0 \rightarrow 1}$.



A	B	S	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

$$N_0 = 4, M = 3$$

$$\alpha_{0 \rightarrow 1} = \frac{N_0(2^M - N_0)}{2^{2M}} = 25\%$$

$$\alpha_{0 \rightarrow 1} = \mathbf{0.3}$$

$$\text{Tranzistori} = \mathbf{10 \times 0.05 = 0.5}$$

$$\text{Tabela istinitosti} = \mathbf{0.2}$$