



Име и презиме: Бр. индекса:

|1

1. Одредити број неисправних пелета димензије $1.5 \times 1.25 \text{mm}^2$ ако се користи подлога пречника 200mm . Параметри процеса су $N_{DEF} = 0.15 \text{def/cm}^2$ и $\alpha = 0.25$. Познато је $C_D = C_P / (N_D P_D)$, $K = \pi d / \sqrt{2 S_D}$ и $P_D = (1 + N_{DEF} S_D / \alpha)^{-\alpha}$ где је S_D површина пелета и d пречник подлоге.

$$S_D = w \times h = 1.875 \text{mm}^2 \quad (0.1) \quad S_P = \pi (d/2)^2 = 314.159 \text{cm}^2 \quad (0.1) \quad K = 325 \quad (0.2)$$

$$N_D = S_P / S_D - K = 16430 \quad (0.2) \quad P_D = 99.72\% \quad (0.2) \quad M_D = P_D N_D = 16384 \quad (0.1)$$

$$\Delta N_D = N_D - M_D = 46 \quad (0.1)$$

|1

2. DRC правила деле се на?

Унутрашња (*IntRA-layer*) и спољашња (*IntER-layer*).

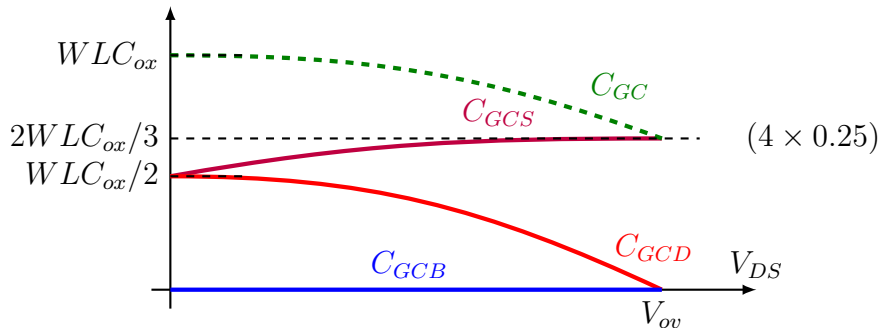
|1

3. Технолошки процес нуди NMOS FET транзистор са номиналним напонем прага од $V_{TH0} = 0.43 \text{V}$. Одредити релативну промену напона парага ако је потенцијал сорса за 0.5V већи од напона основе (балка). Познато је $|\Phi_F| = 0.3 \text{V}$, $\gamma = 0.35 \sqrt{V}$ и $V_{TH} = V_{TH0} + \gamma \cdot (\sqrt{2|\Phi_F| + V_{SB}} - \sqrt{2|\Phi_F|})$.

$$V_{TH} = 0.526 \text{V} \quad (0.5), \quad \delta_{V_{TH}} = |1 - V_{TH}/V_{TH0}| = 0.223 \quad (22.32\%) \quad (0.5)$$

|1

4. Скицирати промену капацитивности C_{GC} , C_{GCS} , C_{GCD} и C_{GCB} у зависности од напона дрејн-сорс у опсегу $[0, V_{ov}]$, при константном напону гејт-сорс. Претпоставити, $V_{GS} > V_{TH}$.



|1

5. За металну траку димензија $H = 1 \mu\text{m}$ и $W = 0.6 \mu\text{m}$ постављену на оксид дебљине $t_{di} = 2 \mu\text{m}$ одредити укупну подужну капацитивност. Познато је $\epsilon_{di} = 34.53 \times 10^{-12} \text{F/m}$, $C'_{fringe} = 2\pi\epsilon_{di} / \ln(t_{di}/H)$ и $w = W - H/2$.

$$w = W - H/2 = 100.000 \text{nm}, \quad C'_{pp} = w\epsilon_{di}/t_{di} = 1.727 \text{pF/m}, \quad C'_{fringe} = 313.010 \text{pF/m}, \quad C' = C'_{pp} + C'_{fringe} = 314.737 \text{pF/m}$$

|1

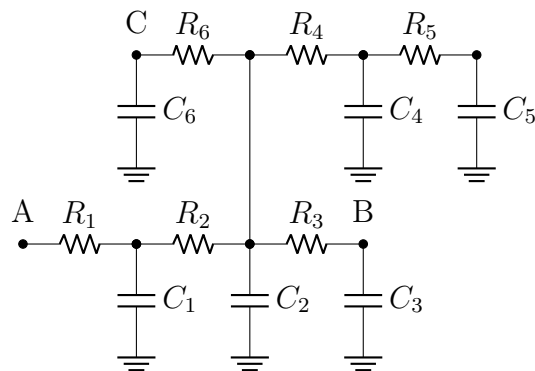
6. За моделовање дугих веза на чипу при високим фреквенцијама погодан је,

Lumped-C *Lumped-RC* или ***Distributed*** модел.

- [1] 7. За коло са слике 1 применом Елморове формуле проценити верременске константе од чвора А до чвора В (τ_{AB}), и до чвора С (τ_{AC}).

$$\tau_{AB} = C_1 R_1 + C_2(R_1 + R_2) + C_3(R_1 + R_2 + R_3) + (C_4 + C_5 + C_6)(R_1 + R_2)$$

$$\tau_{AC} = C_1 R_1 + (C_2 + C_3 + C_4 + C_5)(R_1 + R_2) + C_6(R_1 + R_2 + R_6)$$

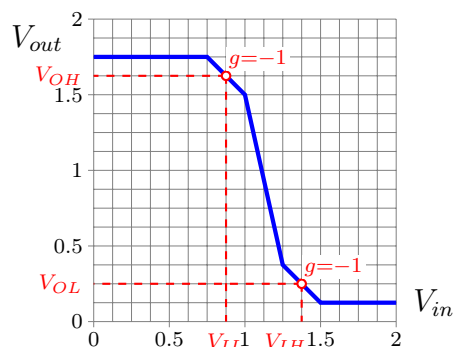


Слика 1

- [1] 8. На слици 2 дата је VTC инвертора. Одреди маргине шума.

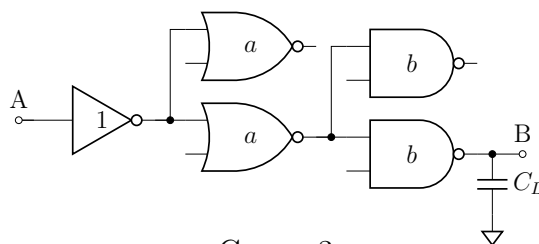
$$NM_H = V_{OH} - V_{IH} = 1.625V - 1.375V = 0.25V \text{ (0.5)}$$

$$NM_L = V_{IL} - V_{OL} = 0.875V - 0.25V = 0.625V \text{ (0.5)}$$



Слика 2

- [1] 9. Одреди релативне димензије гејтова a и b са слике 3 тако да кашњење дуж критичне путање од чвора А до чвора В буде минимално. Капацитивност оптерећења C_L је 45 пута већа од улазне капацитивности јединичног инвертора. Релативни однос димензија PMOS и NMOS транзистора јединичног инвертора је $2/1$.



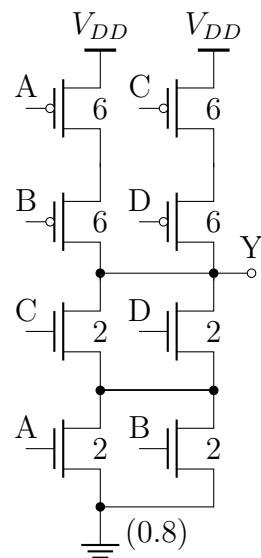
Слика 3

$$F = \frac{C_L}{1} = 45 \text{ (0.1)}, G = \prod_{i=1}^3 g_i = 1 \times 5/3 \times 4/3 \text{ (3} \times 0.05), B = \prod_{i=1}^3 b_i = 2 \times 2 \times 1 \text{ (3} \times 0.05),$$

$$H = FGB = 400.000 \text{ (0.1)}, h_i = f_i \times g_i = H^{1/3} = 7.368 \text{ (0.1)},$$

$$h_1 = g_1 f_1 = 1 \times \frac{2a}{1} \Rightarrow a = 3.684 \text{ (0.2)}, h_2 = g_2 f_2 = 5/3 \times \frac{2b}{a} \Rightarrow b = 8.143 \text{ (0.2)}$$

- [1] 10. Нацртати електричну шему на транзисторском нивоу којом се имплементира логичка функција, $Y = (A + B) \cdot (C + D)$, и димензионисати транзисторе по критеријуму $t_{pHL} \approx t_{pLH}$. Релативни однос димензија PMOS и NMOS транзистора јединичног инвертора је $3/1$. Одреди параметар, p , и логичку ефикасност, g , у моделу кашњења. $t_p = t_{p0}(p + gf/\gamma)$.



$$p \triangleq \frac{C_{d,GATE}}{C_{d,INV}} = \frac{16}{4} = 4 \text{ (0.1)}$$

$$g \triangleq \frac{C_{g,GATE}}{C_{g,INV}} = \frac{8}{4} = 2 \text{ (0.1)}$$