



Име и презиме: Бр. индекса:

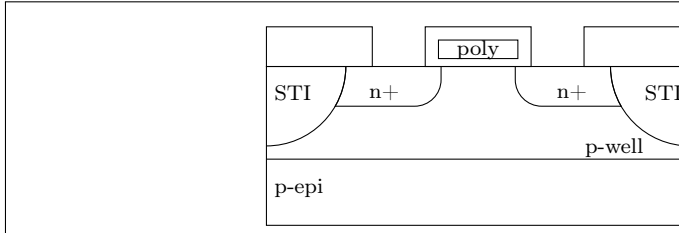
|1

1. Одредити број неисправних пелета димензије $5 \times 5 \text{ mm}^2$ ако се користи подлога пречника 300 mm . Параметри процеса су $N_{DEF} = 0.4 \text{ def/cm}^2$ и $\alpha = 0.25$. Познато је $C_D = C_P/(N_D P_D)$, $K = \pi d/\sqrt{2S_D}$ и $P_D = (1 + N_{DEF}S_D/\alpha)^{-\alpha}$ где је S_D површина пелета и d пречник подлоге.

$$S_D = w \times h = 25 \text{ mm}^2 \text{ (0.1)} \quad S_P = \pi (d/2)^2 = 706.858 \text{ cm}^2 \text{ (0.1)} \quad K = 134 \text{ (0.2)} \quad N_D = S_P/S_D - K = 2693 \text{ (0.2)} \quad P_D = 91.93\% \text{ (0.2)} \quad M_D = P_D N_D = 2475 \text{ (0.1)} \quad \boxed{\Delta N_D = N_D - M_D = 218} \text{ (0.1)}$$

|1

2. Нацртати попречни пресек MOS-FET транзистора N типа у *dual-well* CMOS процесу.

Сваки недостатак -0.2

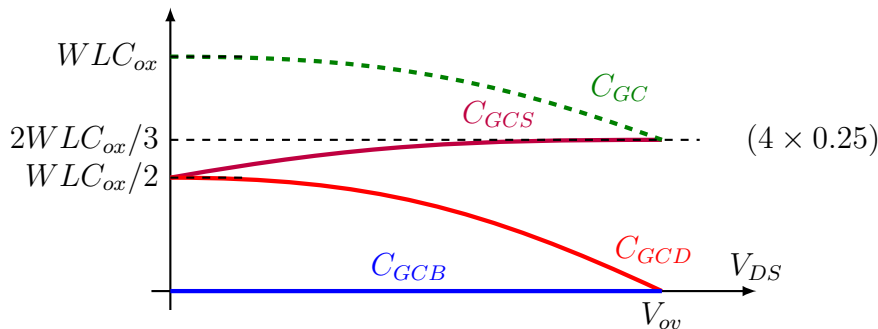
|1

3. Технолошки процес нуди NMOS FET транзистор са номиналним напонем прага од $V_{TH0} = 0.5 \text{ V}$. Одредити релативну промену напона парага ако је потенцијал сорса за 0.3 V већи од напона основе (балка). Познато је $|\Phi_F| = 0.3 \text{ V}$, $\gamma = 0.45\sqrt{V}$ и $V_{TH} = V_{TH0} + \gamma \cdot (\sqrt{2|\Phi_F| + V_{SB}} - \sqrt{2|\Phi_F|})$.

$$V_{TH} = 0.578 \text{ V} \text{ (0.5)}, \quad \delta_{V_{TH}} = |1 - V_{TH}/V_{TH0}| = 0.157 \text{ (15.67\%)} \text{ (0.5)}$$

|1

4. Скицирати промену капацитивности C_{GC} , C_{GCS} , C_{GCD} и C_{GCB} у зависности од напона дрејн-сорс у опсегу $[0, V_{ov}]$, при константном напону гејт-сорс. Претпоставити, $V_{GS} > V_{TH}$.



|1

5. За металну траку димензија $H = 1.75 \mu\text{m}$ и $W = 1 \mu\text{m}$ постављену на оксид дебљине $t_{di} = 6 \mu\text{m}$ одредити укупну подужну капацитивност. Познато је $\varepsilon_{di} = 34.53 \times 10^{-12} \text{ F/m}$, $C'_{fringe} = 2\pi\varepsilon_{di}/\ln(t_{di}/H)$ и $w = W - H/2$.

$$w = W - H/2 = 0.125 \mu\text{m} \text{ (0.25)}, \quad C'_{pp} = w\varepsilon_{di}/t_{di} = 0.719 \text{ pF/m} \text{ (0.25)}, \quad C'_{fringe} = 176.085 \text{ pF/m} \text{ (0.25)}, \quad C' = C'_{pp} + C'_{fringe} = 176.804 \text{ pF/m} \text{ (0.25)}$$

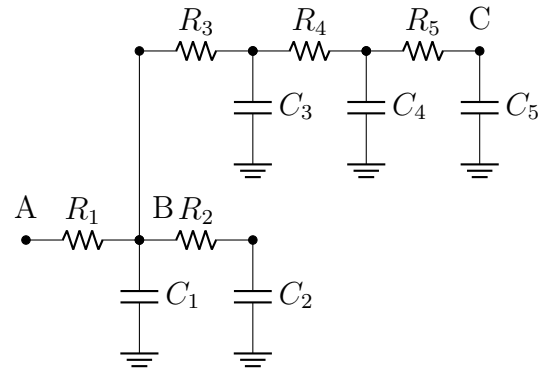
|1

6. Уколико са изаберу параметри параметризоване ћелије MOS-FET транзистора $n_f = 3$ и $m = 1$, за колико се приближно, процентуално, смањују паразитне капацитивности области сорса/дрејна у односу на случај $n_f = 1$ и $m = 1$?

За око $1/3$ (33%).

- [1] 7. За коло са слике 1 применом Елморове формуле проценити веремењске константе од чвора А до чвора В (τ_{AB}), и до чвора С (τ_{AC}).

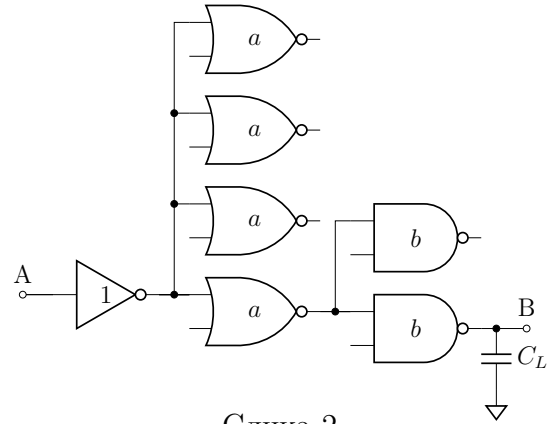
$$\begin{aligned}\tau_{AB} &= R_1(C_1 + C_2 + C_3 + C_4 + C_5) \\ \tau_{AC} &= R_1(C_1 + C_2) + (R_1 + R_3)C_3 \\ &\quad + (R_1 + R_3 + R_4)C_4 \\ &\quad + (R_1 + R_3 + R_4 + R_5)C_5\end{aligned}$$



Слика 1

- [1] 8. Инвертор има симетричну VTC. Да би се напон прага инвертора, V_M , померио ка напону напајања, V_{DD} , треба ☐ повећати ширину NMOS транзистора ☒ **повећати ширину PMOS транзистора или** ☐ повећати ширину оба типа транзистора?

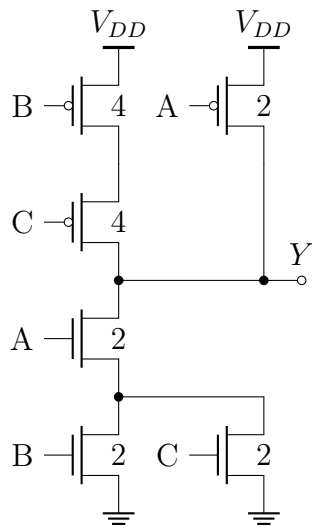
- [1] 9. Одредити релативне димензије гејтова a и b са слике 2 тако да кашњење дуж критичне путање од чвора А до чвора В буде минимално. Капацитивност оптерећења C_L је 50 пута већа од улазне капацитивности јединичног инвертора. Релативни однос димензија PMOS и NMOS транзистора јединичног инвертора је 2/1.



Слика 2

$$\begin{aligned}F &= \frac{C_L}{1} = 50 \text{ (0.1)}, G = \prod_{i=1}^3 g_i = 1 \times 5/3 \times 4/3 \text{ (3} \times 0.05\text{)}, B = \prod_{i=1}^3 b_i = 4 \times 2 \times 1 \text{ (3} \times 0.05\text{)}, \\ H &= FGB = 888.889 \text{ (0.1)}, h_i = f_i \times g_i = H^{1/3} = 9.615 \text{ (0.1)}, \\ h_1 &= g_1 f_1 = 1 \times \frac{4a}{1} \Rightarrow \boxed{a = 2.404 \text{ (0.2)}}, h_2 = g_2 f_2 = 5/3 \times \frac{2b}{a} \Rightarrow \boxed{b = 6.934 \text{ (0.2)}}\end{aligned}$$

- [1] 10. Нацртати електричну шему на транзисторском нивоу којом се имплементира логичка функција, $Y = \overline{A \cdot (B + C)}$, и димензионисати транзисторе по критеријуму $t_{pHL} \approx t_{pLH}$. Релативни однос димензија PMOS и NMOS транзистора јединичног инвертора је 1. 2/1. Одредити параметре, p и g , у моделу кашњења, $t_p = t_{p0}(p + gf/\gamma)$.



$$p \triangleq \frac{C_{d,GATE}}{C_{d,INV}} = \frac{8}{3} = 2.67 \text{ (0.2)}$$

$$g \triangleq \frac{C_{g,GATE}}{C_{g,INV}} = \frac{6}{3} = 2.00 \text{ (0.2)}$$

транзистори (6×0.1)