

Proces proizvodnje i pakovanja IC kola

Projektovanje (Digitalnih) integrisanih kola (2OEE6O06, 2OEM8A03)

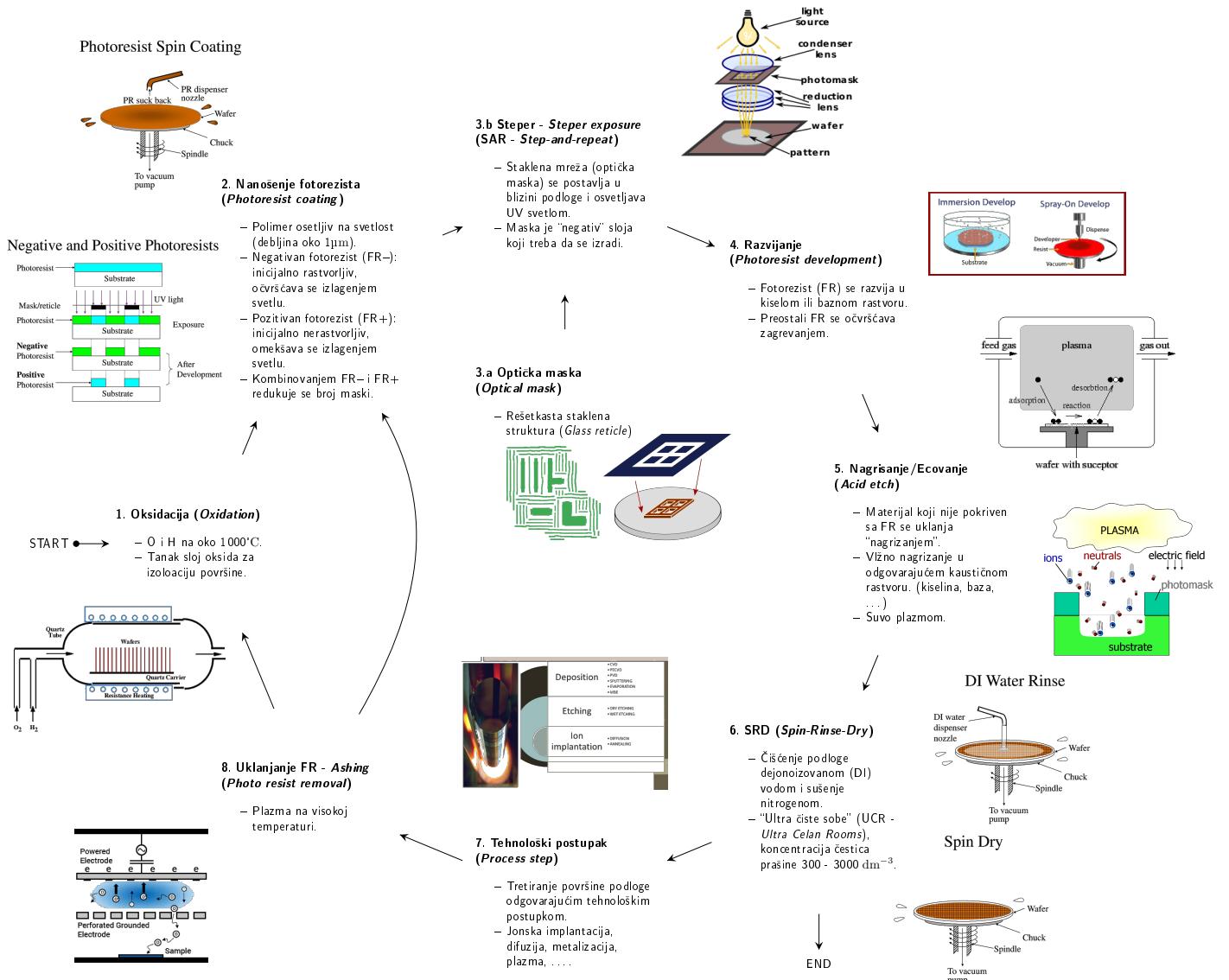
dr doc. Dejan Mirković

Univerzitet u Nišu, Elektronski fakultet, LEDA laboratorija



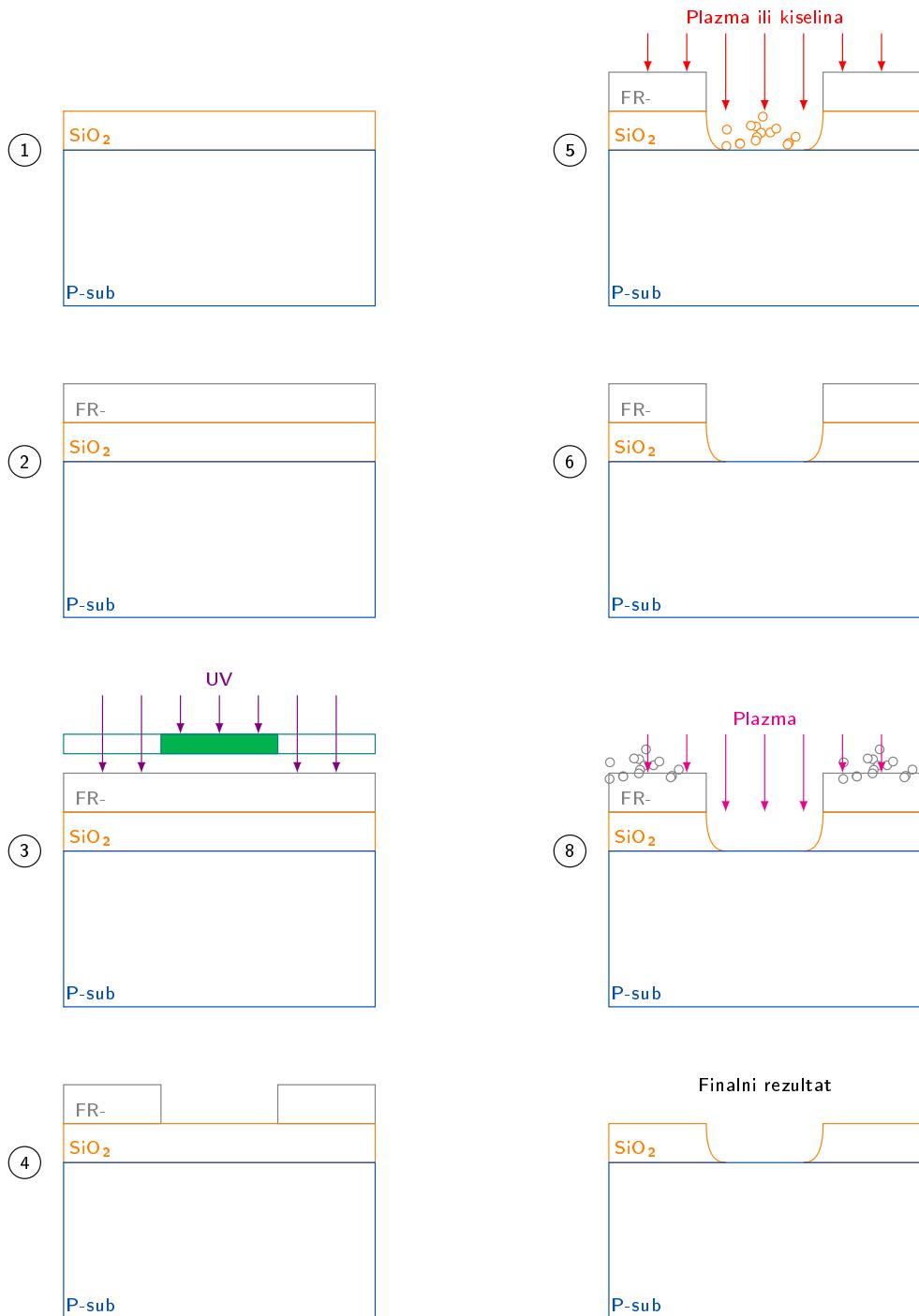
8. maj 2021.

Integrirana kola (IC) se izrađuju primenom fotolitografskog postupka na silicijumsku podlogu (*wafer*). Postupak proizvodnje IC je ilustrovan na slici 1.



Slika 1: Fotolitografski postupak

PRIMER 1: Ilustracija formiranja otvora u oksidu SiO_2 je data na slici 2.



Slika 2: Otvor u SiO_2

Pošto je cilj kreirati otvor u oksidu 7. korak sa slike 1 se može preskočiti.

Tehnološki postupci

Tehnološki postupak podrazumeva tretiranje površine podloge u cilju dobijanja odgovarajućih karakteristika materijala. U CMOS procesu ključni tehnološki postupci su

- Implantacija
 - Difuzija
 - Jonska implantacija
 - Depozicija
- Nagrizanje
 - Vlažno
 - Suvo
- Planarizacija

Implatacija

Pstupkom implantacije obezbeđuje se izmena elektro-mehaničkih osobina površine podloge. U tu svrhu koristi se postupak difuzije, jonske implantacije i depozicije. Difuzija i jonska implantacija se uglavnom koriste za implantacije primesa (donoara ili akceptora) u podlogu (supstrat).

Difuzija se obično izvodi primenom gasa na oko 900 - 1100°C. Nosioci primesa difunduju u svim pravcima (postoji lateralna difuzija). Veća koncentracija primesa je na površini, a manja dalje od površine (postoji gradijent koncnetracije primesa). Generalno, postupak difuzije se koristi u starijim tehnološkim procesima (veće dimenzije, manja preciznost).

Jonska implantacija podrazumeva "bombardovanje" površine zrakom ubrzanih jona primesa. Ubrzanje jona određuje dubinu prostiranja primesa. Trajanje i jačina "struje" jonskog zraka određuje koncentraciju primesa (nezavisna kontrola dubine prostiranja i koncentracije). Glavni nedostatak je deformacija kristalne strukture podloge pa je nakon procesa jonske implantacije potreban dodatni postupak očvršćavanja. Očvršćavanje se obično obezbeđuje zagrevanjem na 1000°C, 10 - 15min, a zatim postepenim hlađenjem u cilju regeneracije kovalentnih veza uz površinu podloge. Proces jonske implantacije predstavlja dominantni proces implantacije u savremenim tehnološkim procesima (manje dimenzije, veća preciznost).

Depozicija (taloženje, naslojavanje) je proces nanošenja (metalizacija) ili narastanja (oksid) slojeva materijala na podlogu. Depozicija obično obuhvata postupke: oksidacija, baferovanje, nanošenje polikristala i metalizacija.

Oksidacija je postupak narastanja silicijum-dioksida (SiO_2). Izvodi se u gasnim komorama na visokoj temperaturi u prisustvu kisogenika i vodonika (korak 1 na slici 1). Debljina oksida izand aktivnih oblasti (tamo gde su komponente) je značanjo manja od debljine oksida u delu podlege na kome se izrađuju veze. Obično se oksid van aktivnih oblasti naziva i oksid u "polju" (FOX - *Field Oxide*)

Baferovanje je postupak formiranja zaštitnog (baferskog) sloja podloge. Za baferovanje se obično koristi silicijum-nitrid (Si_3N_4). Ovaj sloj se nanosi na delovima podlge gde se očekuje značajna degradacija krstalografske rešetke materijala. Praktično, baferski sloj se "žrtvuje" u cilju zaštite prostora ispod baferskog sloja pa se baferski sloj često naziva i *sacrificial nitride*. Si_3N_4 se nanosi hemijskim naparavanjem (gasna reakcija na oko 850°C). Ovaj postupak je poznat pod nazivom CVD - *Chemical Vapour Deposition*.

Polikristalni silicijum (POLY-silicon) se nanosi gasnom reakcijom silana (SiH_4) sa oksidom silicijuma (SiO_2) na oko 650°C. Kao rezultat nastaje amorfni, slabo provodan, sloj pa je potreban dadni porces implantacije da bi se povećala provodnost. Sa druge strane POLY se značanjo brže i pouzdanije nanosi na SiO_2 od metalnog sloja. Praktično POLY je industrijski standard za izradu gejta MOS-FET tranzistora. Pored gejta trazistora, POLY se koristi i za izradu tela otpornika i ploča kondenzatora (PiP - *Poly-insulator-Poly* kondenzator).

Metallizacija je postupak kojim se izrađuju veze na čipu. Ranije se za izradu veza koristio aluminijum (Al), a kasnije je uveden i bakar (Cu). Danas se često koriste Al i Cu legure. Al se nanosi napravljivanjem u vakuumu. U postupku bombardovanja površine materijala zrakom elektrona ili jona razvija se dovoljna količina topline potrebna za dobijanje Al pare. Ovaj postupak se obično naziva *sputtering* ("pucketanje-napuckavanje").

Nagrizanje

Postupak nagrizanja podrazumeva primenu kiselog i/ili baznog rastvora (vlažno nagrizanje) ili primenu plazme (suvo nagrizanje).

Vlažno nagrizanje se sprovodi u tzv. "vlažnim" kadama uranjanjem podloge u kiseli ili bazni rastvor. Npr. BOE - *Buffered Oxide Etching* postupak koristi baferski (zaštitini) agens koji se sastoji od fluorovodonične kiseline (HF) i amonijum-fluorida (NH_4F). Ovaj način nagrizanja se obično koristi u starijim procesima.

Suvo nagrizanje se izvodi plazmom. Obično se koristi azot (N), hlor (Cl) ili bor-tri-hlorid (BCl_3). Podloga se polariše negativnim naelektrisanjem i dovodi u kontakt sa pozitivno naelektrisanom plazmom na temperaturi od oko 100°C i pritisku od oko 7.5Pa.

Pozitivno naelektrisani joni plazme, ubrzani jakim visokofrekventnim električnim poljem, uklanjaju sloj materijala sa površine podloge koja se tretira. Efekat je sličan peskarenju (*sand-blasting*). Značajan prednost suvog nagrisanja u odnosu na vlažno jete mogućnost izrade veoma strmih ivica (minimalno podgrizanje). Sa druge strane, pošto se radi o visokofrekventnom procesu, povećava se mogućnost nagmilavanja velike količine naelektrisanja u delovima tretirane površine. Sličan proces nagomilavanja naelektrisanja se manifestuje i u antenama pa se ovaj efekat često naziva "antena" efekat.

Ovaj efekat se obično manifestuje na dugim provodnim površinama (veze, POLY gejt). Naelektrisanje nagmilanono usled "antena" efekta se kasnije, u toku eksplatacije čipa, može nekontrolisano oslobođiti i fizički uništiti komponentu na čipu. Generano, prevencija "antena" efekata se izvodi na nivou projektovanja.

U cilju prevencije "antena" efekta obično se uvode inverzno polarisane diode ili diodno povezani tranzistori (*clamping circuit*). Kod dugih veza obično se koristi tehnika čestih promenom nivoa metala prilikom rutiranja (ekstra vije). Efektivno, jedna duga veza se zamenjuje sa menj kraćih čime se statistički minimizuje verovatnoća pojave "antena" efekta.

Planarizacija

Prilikom obrade površine podloge nekim od prethodno opisanih potupaka neminovno dolazi do neuniformnosti završnih površina. Usled malih debljina slojeva fizički je nemoguće održati apsolutno ravnu površinu. Cilj planarizacije je postizanje što ravnije površine nakon primene nekog postupka. Postupak nivelisanja površine se obično naziva hemijsko-mehanička planarizacija (CMP - *Chemical Mechanical Planarization*).

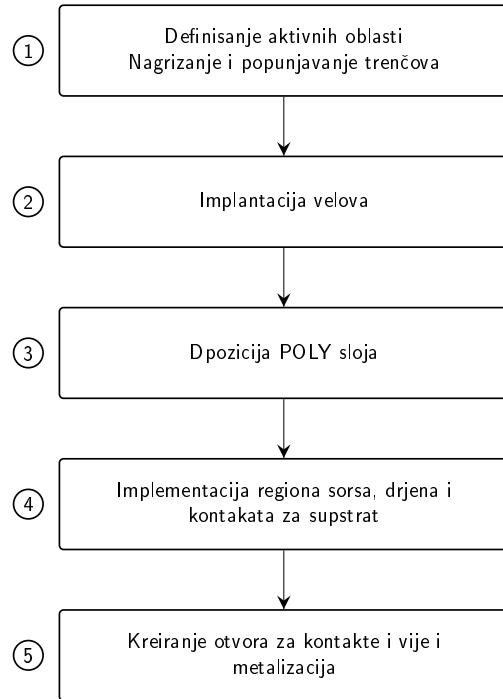
Postupak podrazumeva nanošenje sluzave smese (tečni nosač sa abrazivnim sredstvom). Obično se koristi aluminijum-oksid (Al_2O_3) ili silicijum dioksid (SiO_2 - *silica*). Nakon tretiranja površine ovakvim sredstvima, površina podloge u mikroskopsoj ravni postaje aproksimativno ravna.

Koraci u postupku proizvodnje CMOS kola

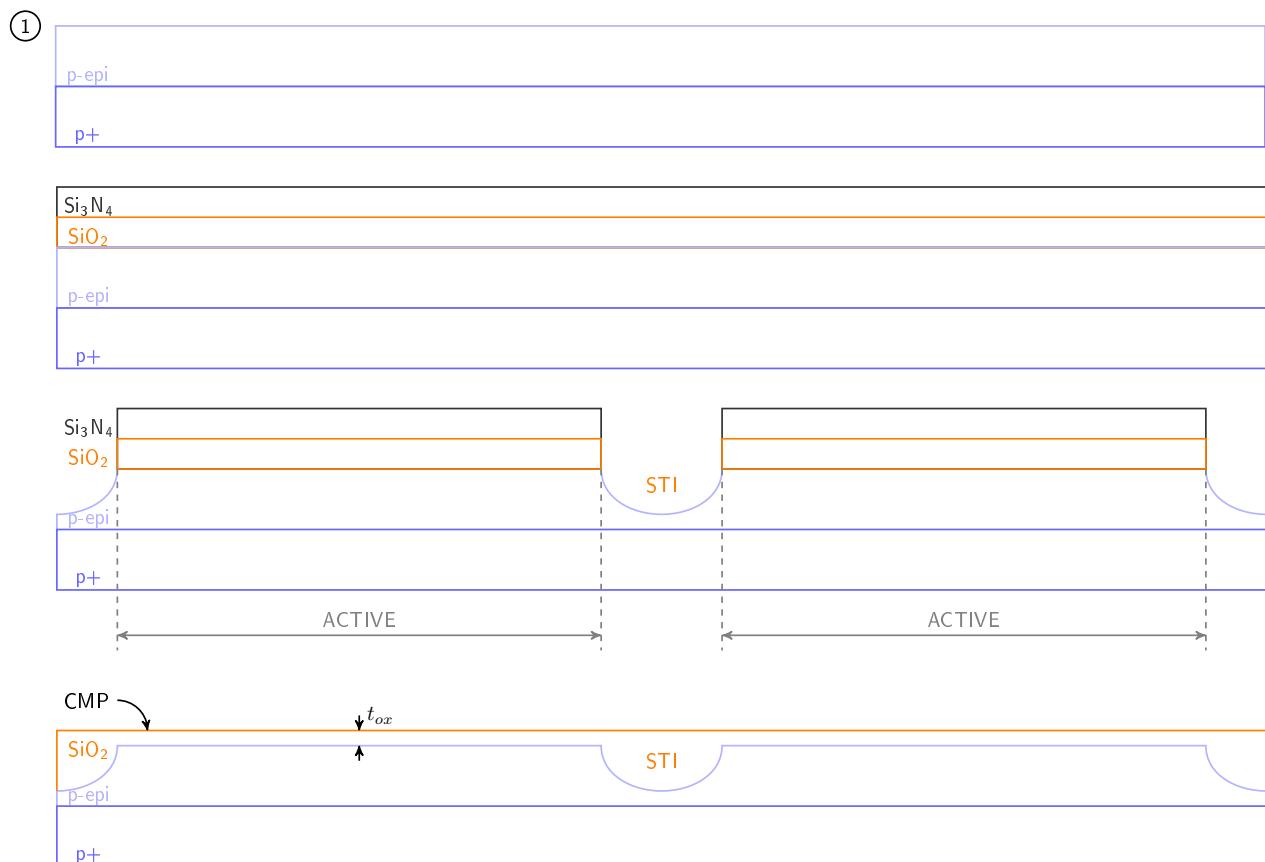
Generalizovani tok proizvodnje CMOS kola u N-Dual-Well procesu je ilustrovan na slici 3.

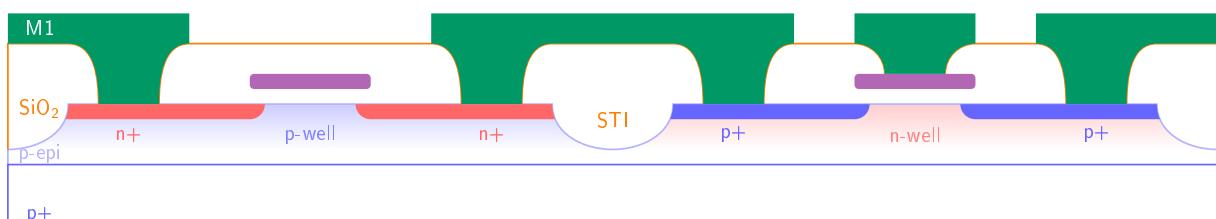
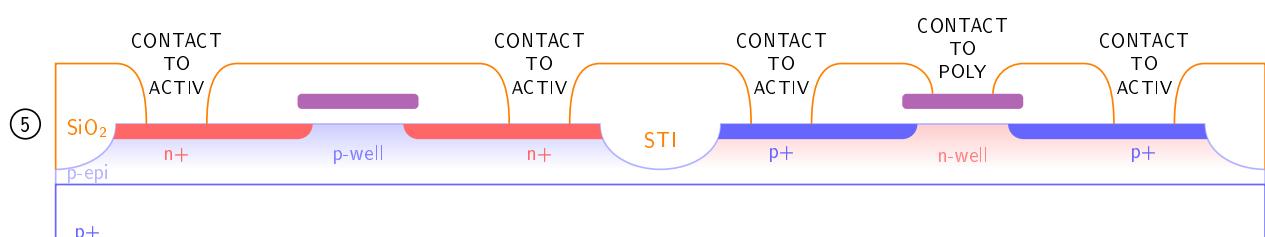
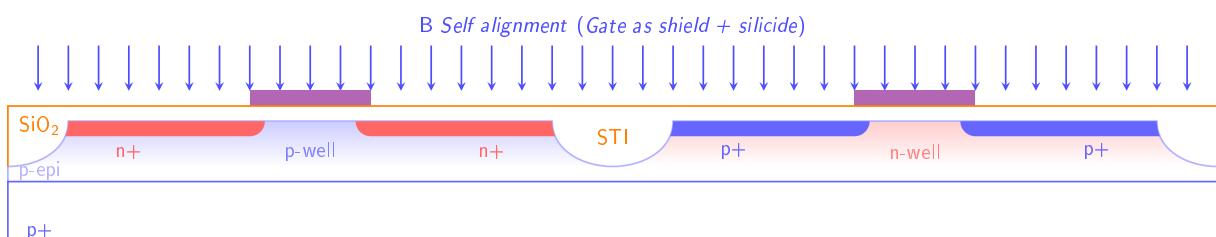
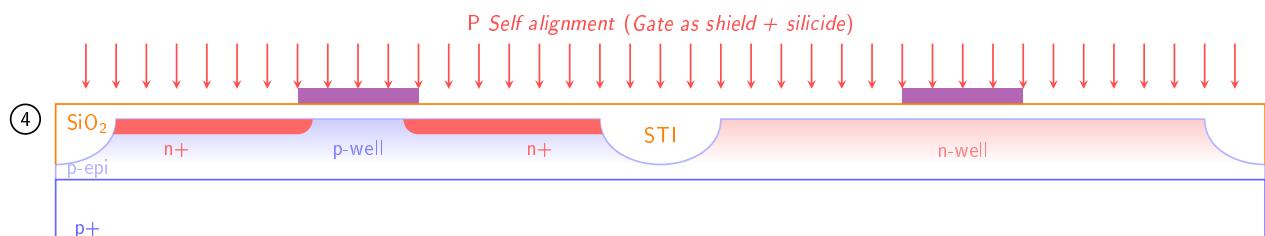
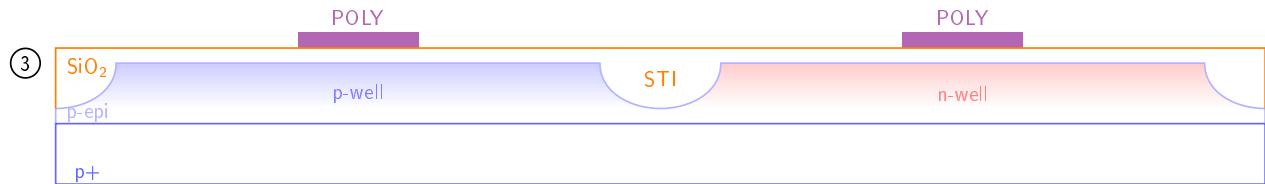
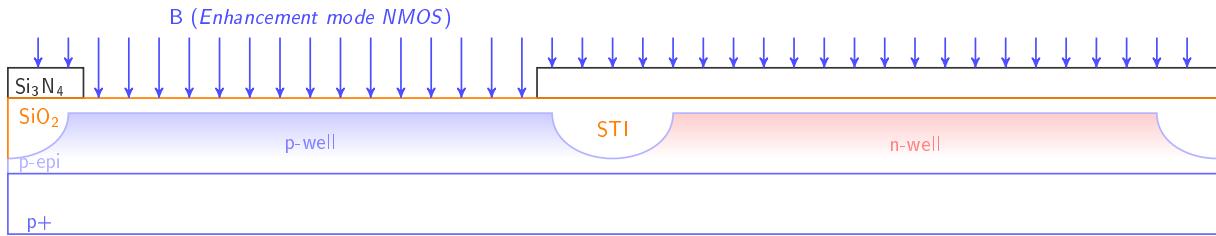
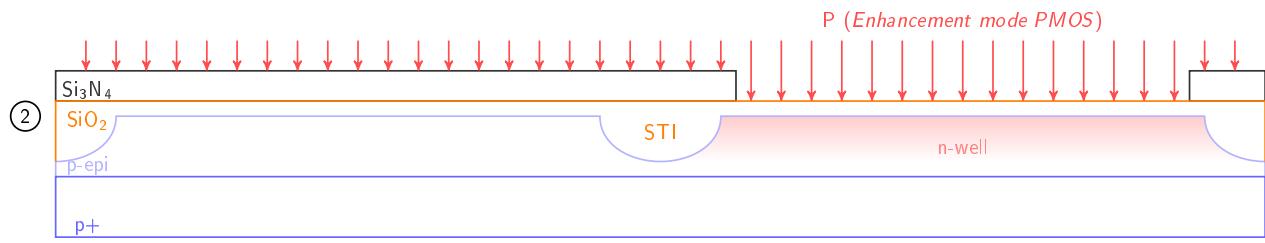
1. Aktivne oblasti su oblasti podloge u kojima će biti relizovane aktivne komponente (tranzistori). Ostatak podloge se ugl. pokriva FOX oksidom koji obzebeđuje izolaciju osnove i metalnih slojeva (lejera *layers*. Izoalcija između komponenti se izvodi pomoću tzv. "trenčeva" (rov ili šanac, STI - *Shallow Trench Isolation*).
2. P+ implant ispod FOX oksida, kanal stoperi (SCI - *Channel Stop Implant*) i P-/N- oblasti za velove ("bunar", *well*).
3. Depozicija polkristalnog silicijuma za gejt MOS-FET tranzistora.
4. Implementacija n+/p+ regiona za sors i drejn i kontakt za balk (*well tap*). Koristi se difizija ili jonsak implatacija gde se POLY gejt koristi kao štit.
5. Kreiranje otvora u oksidu kroz koje se ostvaruju kontakti metalnih veza sa regionima sorsa, drejna i gejta kao i između nivoa metala (*vija, via*).

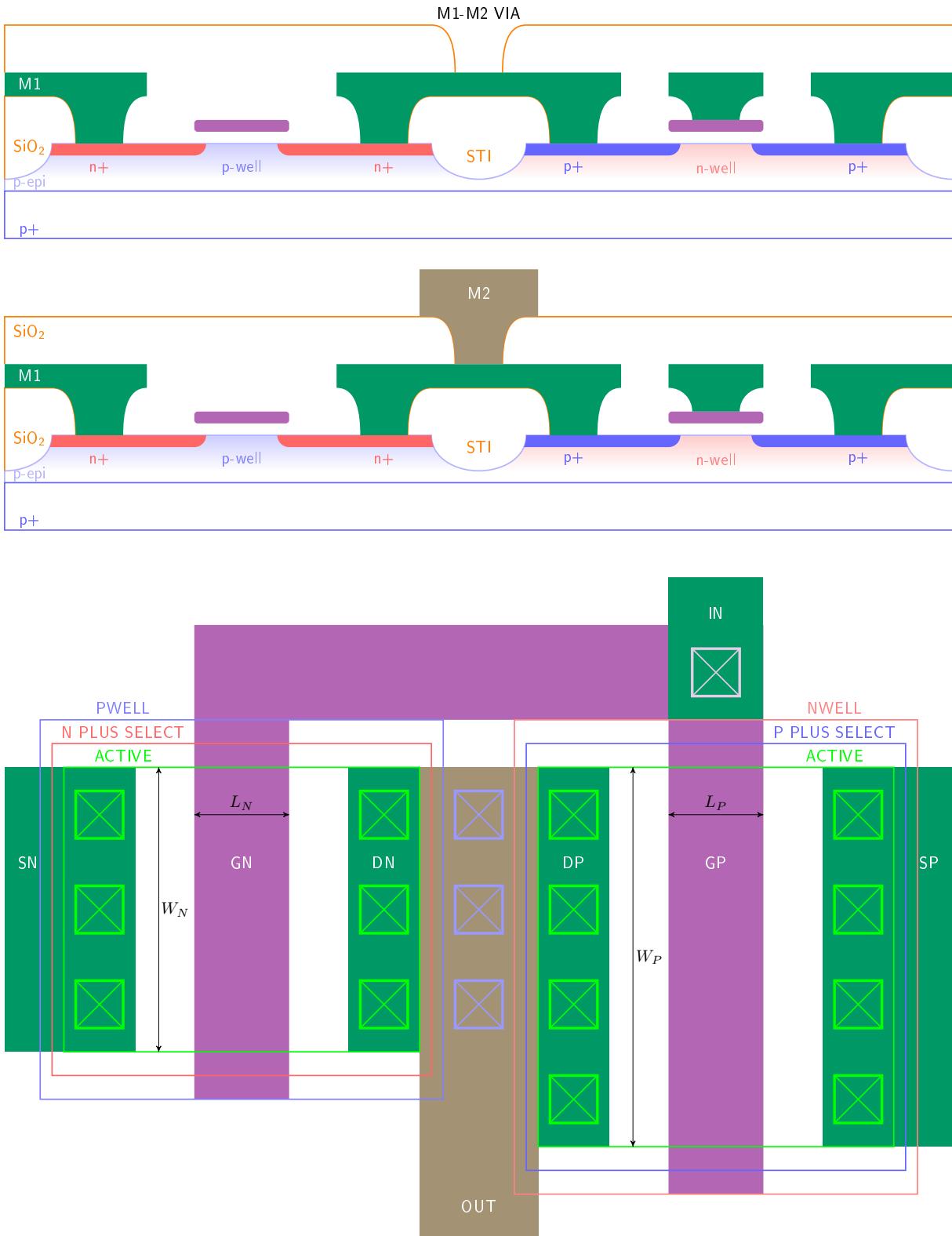
PRIMER 2: Ilustrovati poprečni presek podloge u procesu proizvodnje CMOS invertora i dati prikaz lejauta ("prikaz odozogoo", *layout*) za N Dual Well proces (slika 3)



Slika 3: N-Dual-Well proces

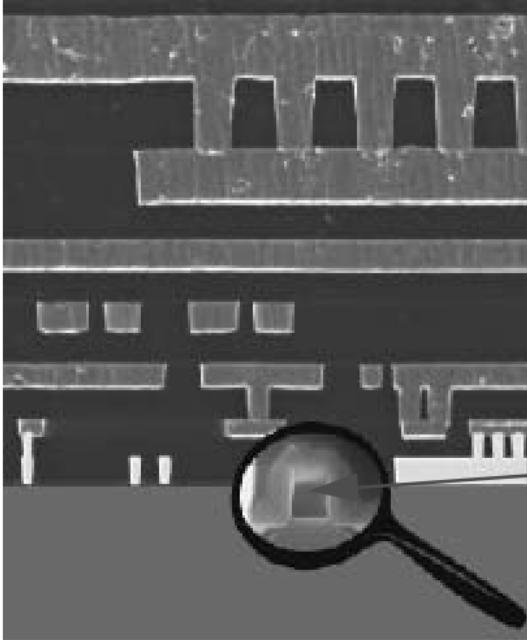




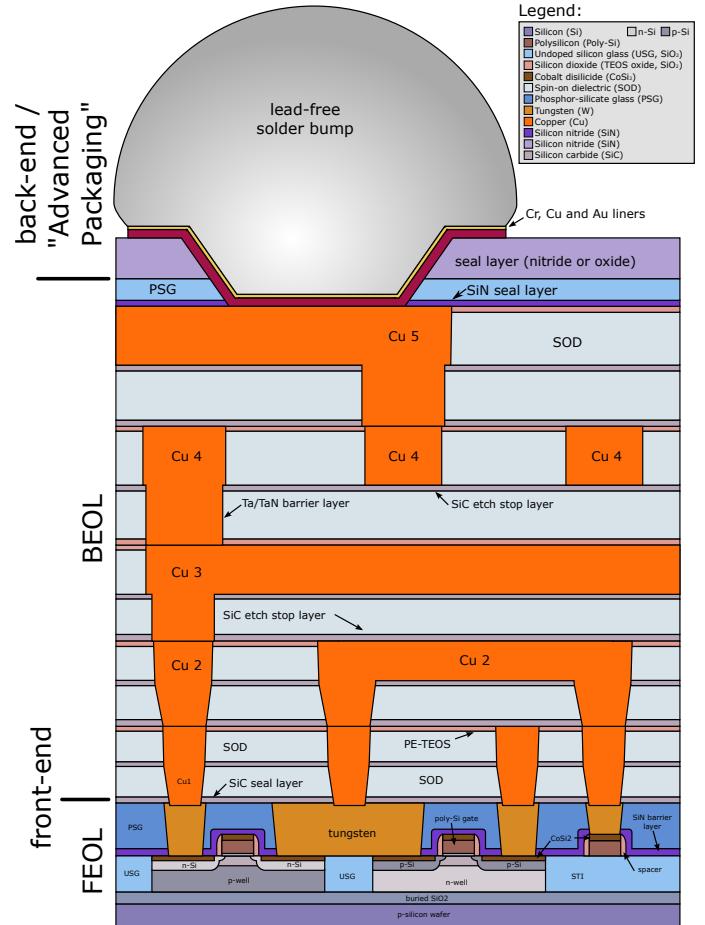


Na osnovu poslednje dve slike može se zaključiti sledeće. Komponente čine samo mali deo zapremine kompletног čipa (tanak sloj ispod površine podlage), dok veći deo čipa zauzimaju veze (4a). U savremenim tehnološkim procesima veze mogu zauzimati i do 80% zapremine čipa (4b).

Projektant IC kola ima uticaj samo na lejaut (planarne, horizontalne dimenziјe). Dimenziјe prikazane u poprečnom preseku čipa (vertikalne dimenziјe, po dubini) su ilustrativnog karaktera i određene su tehnološkim procesom. Projektant IC kola nema uticaj na vertikalne dimenziјe (npr. debljina oksida - t_{ox} ili visina difuzija drejna/sorsa, vela itd.).



(a) Relativni odnos tranzistora i veza na čipu



(b) Strukutra čipa

Slika 4: Vertikalne dimenziije čipa

Takođe treba uočiti da projektant IC kola nema direktni uticaj na sve planarne dimenzije. Npr. sam položaj difuzija drenja/sorsa i nwell/pwell regiona se ne zadaje direktno već se samo naglašava oblast u kojoj će ove difuzije biti realizovane (lejeri N PLUS SELECT/P PLUS SELECT i NWELL/PWELL). Sa jedne strane ovaj pristup olakašava proces crtanja lejauta dok sa druge štiti intelaktualnu svojinu proizvođača (*foundry*) neotkrivajući do kraja detalje u vezi samog tehnološkog procesa.

Pravila projektovanja

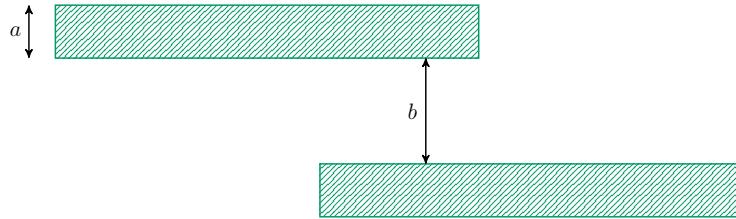
Pravila projektovanja (DR - *Design Rules*) predstavljaju "ugovor" između projekantske kuće (birao) i provajdera/proizvođača tehnološkog procesa (fabrike, proces inženjera i tehnologa). U pravilima projektovanja jasno se definišu osobine pojedinih lejera kao i relacije između njih za dati tehnološki proces (npr. rastojanja, površinske/podužne kapacitivnosti i otpornosti, tipovi materijala itd.). Pravila projektovanja propisuje proizvođač u vidu odgovarajućih fajlova i dokumentacije za CAD (*Computer Aided Design*)/EDA (*Electronic Design Automation*) softverske alate. Pošto proces IC izrade kola podrazumeva dosta pravila koja treba ispoštovati, DR dokumentacija je jako obimna. U terminologiji projektovanja IC kola kompletan dokument vezan za pravila projektovanja se naziva *Design Rule Deck* ili samo *Rule Deck*.

U toku projektovanja IC kola, projektant je dužan da proveri svoj projekat u svim nivoima apstrakcije (kôd, sistem, šematički, lejaut, itd.). Zavisno od nivoa apstrakcije definije se odgovarajući tip pravila. U projektovanju IC kola ključni tiovi pravila na nivou lejauta su: DRC (*Design Rule Check*), LVS (*Layout Versus Schematic*) i PEX/QRC (*Parasitic EXtraction/Q-factor Resistor Capacitor*).

DRC pravila

DRC pravila se odnose na geometrijsko-prostorne relacije između lejera. Generalno, mogu se klasifikovati kao unutrašnja i spoljašnja.

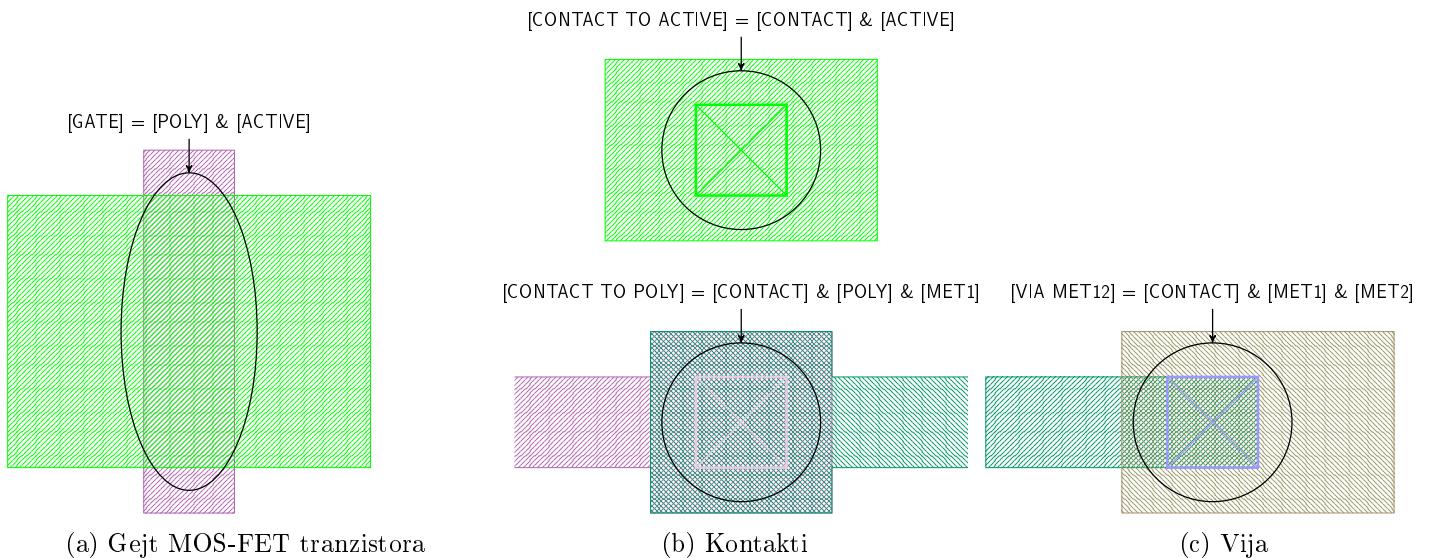
Unutrašnja (InTRA-Layer) pravila definišu relacije između poligona u istom lejeru. Npr. minimalna širina, a , kao i minimalna rastojanja u istom lejeru, b (slika 5).



Slika 5: Unutrašnja DRC pravila

Spoljašnja (InTER-Layer) pravila definišu relacije između različitih lejera. Generalno, klasificiše se kao pravila vezana za komponente i pravila vezana za kontakte i vije.

Pravila vezana za komponente (tranzistore, kondenzatore, otpornike i kalemove) definišu logičke relacije između lejera kojima se realizuju komponente. Npr. oblast kanala MOS-FET tranzistora (GATE) je određena preklapanjem POLY i ACTIVE lejera (6a).



Slika 6: Spoljašnja DRC pravila

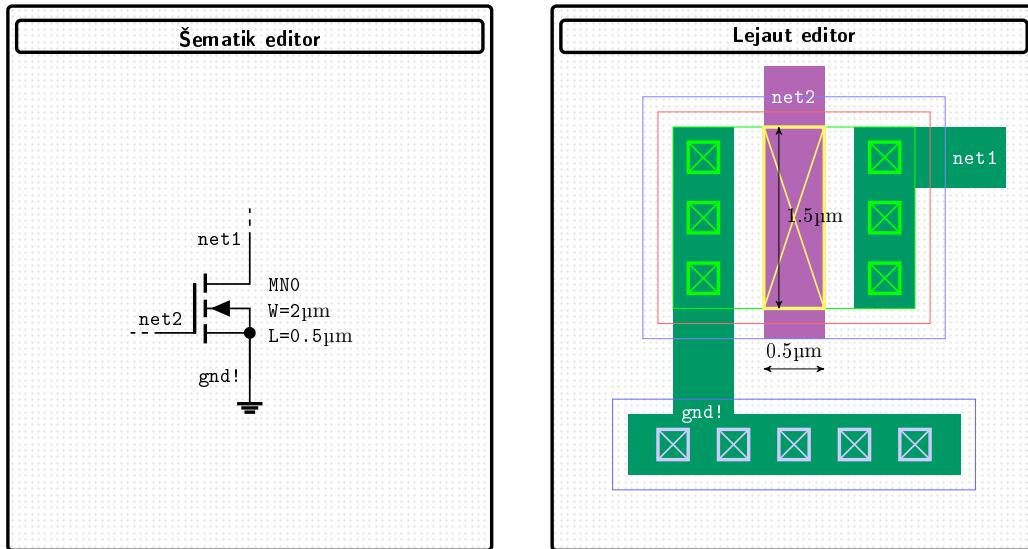
Pravila za kontakte i vije defnišu logičke relacije između lejera kojima se realizuju kontakti i vije. Npr. kontakt za standardne (normalne) difuzije (OD - Ordinary Diffusion) se definije presekom površina lejera ACTIVE i CONTACT. Slično važi i za definisanje kontakta prema polikristalnom slicijumu (slika 6b).

LVS pravila

LVS pravila se odnose na korelaciju između električne predstave (šeme, šematika) i fizičke (geomterijske) predstave (lejaut) projektovanog IC kola. Zadatak LVS programa je da ekstrahuje netilste (obično u SPICE formatu) iz šematike i lejauta projektovanog kola, uporedi ekstrahovane netliste i prijavi eventualna neslaganja.

Na slici 7 je dat ilustrativni prikaz tranzistora u dva nivoa apstrakcije (šematik i lejaut). Izvorna netlista ekstrahovana iz šematike se naziva izvorna ili *source* netlista, a netlista ekstrahovana iz lejauta se naziva finalna ili *target* netlista. Za konkretan primer dat na slici 7 dat je i pdeudo-listing LVS provere.

Pored tekstualne informacije, savremeni CAD/EDA alati imaju ugrađenu i funkciju povratnog anotiranja šematik/lejaut editora tzv. *back annotation*. Ova opcija omogućava da se greška vizuelno označi u lejaut editoru.



```

Source: MNO net1 net2 gnd! gnd! W=2u L=0.5u nfet
Target: MNO net1 net2 gnd! gnd! W=1.5u L=0.5u nfet
LVS ERROR: Dimension W=1.5u in target different
from dimension W=1u in source for instance MNO!

```

Slika 7: Primer šematičkog i lejaut prikaza dela projektovanog kola u prisustvu LVS greške

Greške se obično označavaju pravougaonimima sa diagonalnim linijama žute ili bele boje (slika 7).

PEX/QRC pravila

PEX/QRC pravila se odnose na parazitne komponente koje su neminovno prisutne u fizičkoj realizaciji kola. Ove komponente utiču na performanse kola pa ih treba uzeti u obzir nakon kreiranja lejauta. Zadatak PEX/QRC alata jeste da pored ekstrahovanja funkcione netliste iz lejauta prikaza, ektarhuje i netlistu svih relevantnih prazitnih komponenti. PEX/QRC alati obično nude tri opcije za ekstrakciju:

- **R** opcija za ekstrahovanje otpornosti lejera.
- **C** opcija za ekstrakciju kapacitivnosti između veza na različitim lejerima tj. paralelne (po vertikali), *coupling*, kapacitivnosti.
- **CC** opcija za ekstrakciju kapacitivnosti između veza na istom lejeru tj. redne (po horizontali), *cross-coupling*, kapacitivnosti.
- **L/Q** opcija za ekstrakciju parazitnih induktivnosti.

Moguće je i kombinovanje opcija. Projektant odlučuje koji tip parazitnih komponenti je relevantan za ciljnu primenu. Relevantnost je uglj. određena frekvencijskim opsegom u kome projektovano kolo treba da radi. Generalno, za kola koja rade na nižim i srednjim frekvencijama (tzv. *base band* poput audio, senzorska elektronika itd.) standardno se ekstarhuju otpornosti i paralelne kapacitivnosti (opcija R+C). Kod npr. diskregnih kola (SC - *Switched Capacitor* ili digitalna kola velike brzine, *High-Speed Digital*) potrebno je ekstrahovati i redne kapacitivnosti (opcija R+C+CC). Konačno kada se radi o RF domenu potrebno je ekstrahovati i induktivnosti (opcija R+C+CC+Q).

Nakon ekstrakcije PEX/QRC netliste treba ponovo potvrditi performanse projektovanog kola. Simulacija u kojoj se projektovano kolo modeluje PEX/QRC netlistom se obično naziva post-lejaut simulacija (*post-layout*). Post-lejaut simulacija i verifikacija je poslednja faza u projektovanju IC kola. Tek nakon uspešne post-lejaut verifikacije projekt može da se posalje na fabrikaciju tzv. *tape-out*. Opšte prihvaćeni fajl format za prenos projekata na fizičkom nivou (lejauta) je GDSII (Graphical Design System II) format. GDSII format je razumljiv kako za CAD/EDA alate tako i za fabričke mašine¹.

¹Slično kao Gerber fajlovi u PCB projektovanju.

Enkapsulacija IC kola

Pakovanje (enkapsulacija, *packaging*) značajno utiče na preforamanse IC kola iz razloga što unosi dodatne parazitne RLC komponente. Generalno se smatra da negde do 50% kašnjenja potiče od intekonencija između čipa, kućišta i štampane ploče.

Povećanje kompleksnosti savremenih sistema na čipu (*SoC - System on Chip*) uslovjava povećanje broja pinova IC kola. E. F. Rent (IBM, 1971) je prvi došao do emirijske formule za procenu broja pinova IC kola na osnovu broja gejtova i broja porotova gejtova. Formula je data u (1) i poznata je pod nazivom Rentovo pravilo ili Rentova konstanta (*Rent's rule/constant*).

$$P = K \cdot G^\beta \quad (1)$$

U (1) P predstavlja broj pinova IC kola, K je prosečan broj portova po gejtu, G je broj gejtova i β je Rentov eksponent (*Rent's exponent*) koji zavisi od tipa IC kola i kreće se u opsegu 0.1 - 0.7. Vrednosti Rentovog eksponenta i konstante za tipična IC kola dati su u Tabeli 1. Generalno, broj pinova IC kola godišnje se povećava 8 - 11%.

Tabela 1: Rentova konstanta za tipične tipove IC kola

Tip IC kola / Primena	β	K
Statička memorija (<i>Static memory</i>)	0.12	6
Mikroprocesor (<i>Microprocessor</i>)	0.45	0.82
Polje gejtova (<i>Gate Array</i>)	0.5	1.9
Računar velike brzine na IC-u (<i>High-speed computer chip</i>)	0.63	1.4
Računar velike brzine na PCB-u (<i>High-speed computer board</i>)	0.25	82

PRIMER 3: Proceniti broj pinova mikroprocesora koji sadrži 10^5 gejtova, a zatim porceniti koliko gejtova je potrebno za statičku memoriju mikrokontrolera ako je za iterfejs memorije i kontrolera potrebno 40 pinova.

REŠENJE 3:

$$G_{mcu} = 10^5, \beta_{mcu} = 0.45, K_{mcu} = 0.82 \Rightarrow P_{mcu} = K_{mcu} \cdot G_{mcu}^{\beta_{mcu}} = 146 \text{ pinova}$$

$$P_{mem} = 40 \text{ pinova}, \beta_{mem} = 0.12, K_{mem} = 6 \Rightarrow G_{mem} = \left(\frac{P_{mem}}{K_{mem}} \right)^{(1/\beta_{mem})} = 7343552 \text{ gejta} \quad \square$$

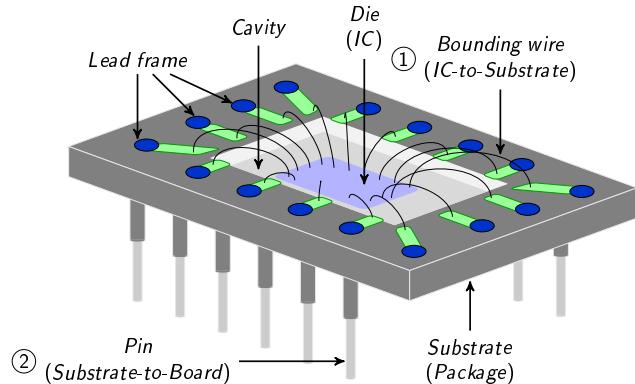
U opštem slučaju kućište treba da ispunи sledeće kriterijume:

- **Električni:** što manje parazitni efekti pinova (RCL); mečovanje visokih impedansi koje su prisutni unutar čipa i niskih impedansi na štampanoj ploči (PCB).
- **Mehaničko-termički:** što bolje odvođenje toplote sa čipa; čvrste mehaničke veze između čipa, kućišta i štampane ploče.
- **Cena:** kompromis između kućišta sa boljim (skuplja keramička) i lošijim (jeftinija plastična) termičko-mehaničkim karakteristikama. Npr. plastična kućišta mogu da disipiraju 1 - 2W, dok se za veće snage koriste keramička. Za snage disipacije reda 50W koristi se i dodatno hlađenje (radijator-heat-sink, voda, gel, vazduh - fans).

Materijali koji se obično koriste su keramika (alumina, Al_2O_3) i plastika (polimeri ili SiO_2). Keramika dovodi toplotu 30 - 100 puta bolje od plastike. Sa druge strane keramička kućišta unose značajno veše parazitne kapacitivnosti ugl. zbog veće dielektrične konstante ($\epsilon_{keramika} \ll \epsilon_{plastika}$).

Interkonekcije između IC-a i štampane ploče

Na slici 8 su dati osnovni nivoi interkonekcija (veza) integrisanog kola i štampane ploče. Pelet (čip, *die*) se semšta u otvor (udubljenje, *Cavity*) u podlozi kućišta (*Substrate*).



Slika 8: Interkonekcija sa kućištem

Prvi nivo interkonekcije (*IC-to-Substrate*) predstavlja vezu između podloge kućišta (*Substrate*) i integrisanog kola (peleta, čipa, IC-a). Za ovaj nivo interkonekcija kirsti se tzv. tehnika bondiranja (*bound wiring*). Šablon (*Pattern*) bondiranja je definisan izabranim okvirom (*Lead frame*). Termin "lid" (u bukvalnom prevodu voditi, sinonim ovo Pb) u elektronici se obično koristi za parče metalne žice koja služi za povezivanje kućišta sa štampanom pločom (ili bilo koje dve tačke na ploči). Drugi nivo (*Substrate-to-Board*) su interkonkecije između podloge kućišta i štampane ploče (PCB - *Printed Circuit Board*).

Prvi nivo interkonekcija

Prvi nivo interkonekcija podrazumeva neku od tehnika bondiranja tj. povezivanja stopica čipa (*Pads*) sa okvirom (*Lead frame*). Klasična tehnika bondiranja ima sledeće nedostatke:

- Žice se bondiraju serijski²
- Teško se izvodi bondiranje čipa sa velikim brojem pinova tj. veoma je teško pronaći šablon bondiranja kojim se izbegavaju kratki spojevi. Dodatni problem je što, čak i da se ustanovi, šablon se ne može skalirati i primeniti za proizvoljno veliki čip (gubi se regularnost).
- Zbog gubitka regularnosti šablonu za bondiranje teško je predvideti/proceniti parazitne efekte. Vrednosti parazitne podužne induktivnosti tipične žice za bondiranje je 1nH , pina kućišta $7\text{-}40\text{nH}$. Ovo su prevelike parazitne induktivnosti za sub-mikronske procese.

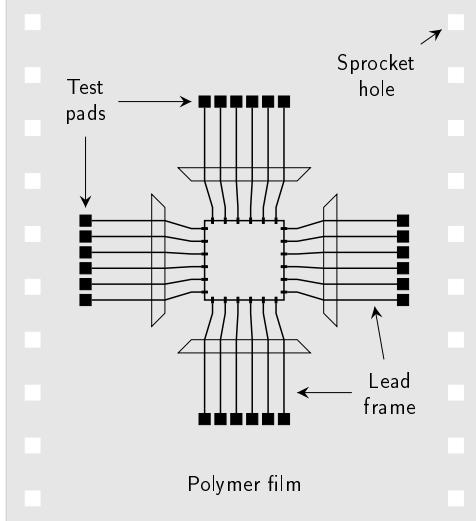
Deo problema može se rešiti primenom TAB (*Tape Automated Bonding*) tehnike bondiranja. Kod TAB tehnike čip je pričvršćen na polimernu traku³, a za vezu se supstratom se koriste lmeni bampovi ("ispučenja/kvržice", *Solder Bump*) čime se obezbeđuje istovremeno povezivanje svih pinova. Izgled čipa čije su interkonekcije, na nivou 1, izvedene korišćenjem TAB tehnike bondiranja je ilustrovan na slici 9.

Tipične vrednosti parazitnih komponenti za čipove kod kojih se koristi TAB su: $L \approx 0.3\text{--}0.5\text{nH}$, $C \approx 0.2\text{--}0.3\text{pF}$ i $R \approx 50\text{--}200\Omega$. Na osnovu slike 9 može se uočiti da pinovi čipa mogu biti raspoređeni samo po obodu. Prema tome ni ova tehnika, mada značajno bolja od tehnike klasičnog bondiranja, nije pogodna za čipove sa velikim brojem pinova.

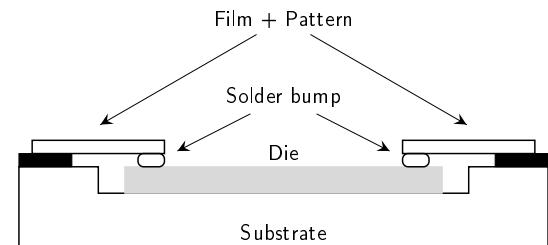
Ograničenje vezano za poziciju pinova se prevazilazi *flip-chip* tehnikom bondiranja (slika 10). Kod *flip-chip* tehnike bondiranja pinovi se mogu rasposrediti po čitavoj površini IC-a. Kada se koristi *flip-chip* tehnika moguće je ravnomerno distribuirati veze za kritične signale (takt, napajanje, itd.).

²Slično kao kod mašine za šivenje.

³Slična kao Foto-film traka.



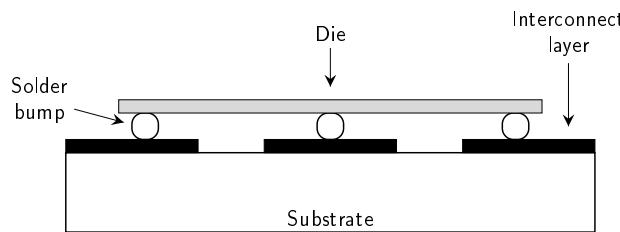
(a) Plimerna film-traka sa utisnutim paternom za bondiranje



(b) Povezivanje peleta korišćenjem lemnih bampova

Slika 9: TAB tehnika bondiranja

Tipične vrednosti kapacitivnosti i induktivnosti za različite tipove kućišta i tehnika bondiranja su date u Tabeli 2. Generalno, bakarne (Cu) veze na prvom nivou interkonekcija (*IC-to-Substrate*) su kvalitetnije od bakarnih veza na samom IC-u.



Slika 10: Flip-chip tehnika bondiranja

Tabela 2: Tipične vrednosti kapacitivnosti i induktivnosti za različite tipove kućišta/bondiranja

Tip kućišta/bondiranja	Kapacitivnost [pF]	Induktivnost [nH]
68-pinsko plastično DIP* kućište	4	35
68-pinsko keramičko DIP kućište	7	20
256-pinsko GA** kućište	1-5	2-15
Žica za bondiranje (<i>Wire Bond</i>)	0.5-1	1-2
Lemni bamp (<i>Solder Bump</i>)	0.1-0.5	0.01-0.1

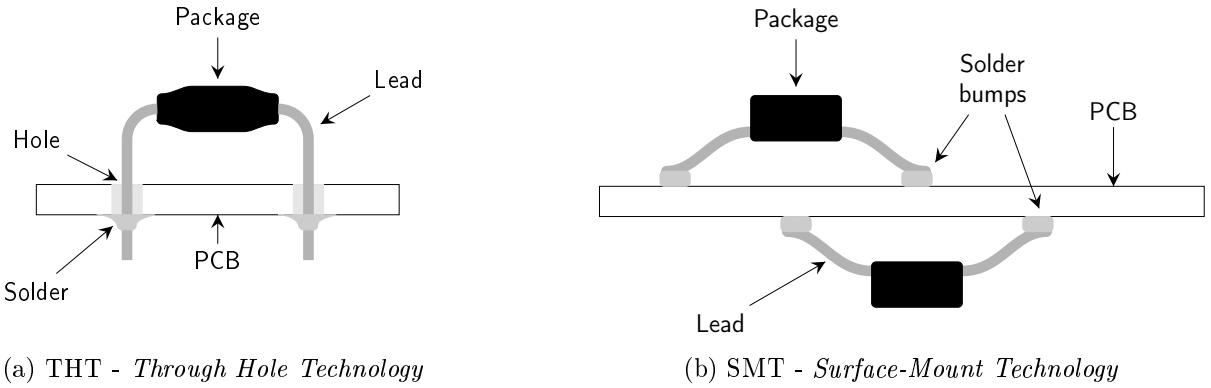
* Dual-In-Package

** Gate Array

Drugi nivo interkonekcija

Za drugi nivo interkonekcija, označen sa *Substrate-to-Board* na slici 8, koriste se dve tehnike/tehnologije: THT (*Through Hole Technology*) i SMT (*Surface-Mount Technology*). Obe tehnike su ilustrovane na slici 11.

Čipovi čija su kućišta i pinovi priagodeni za THT, odnosno SMT, se obično nazivaju THD (*Through Hole Devices*), odnosno SMD (*Surface Mount Device*). Danas je SMT dominantna tehnologija za izradu štampanih ploča (PCB - *Printed Circuit Board*), dok se THT uglavnom koristi za izradu manjih prototipa i *hobby* elektroniku.

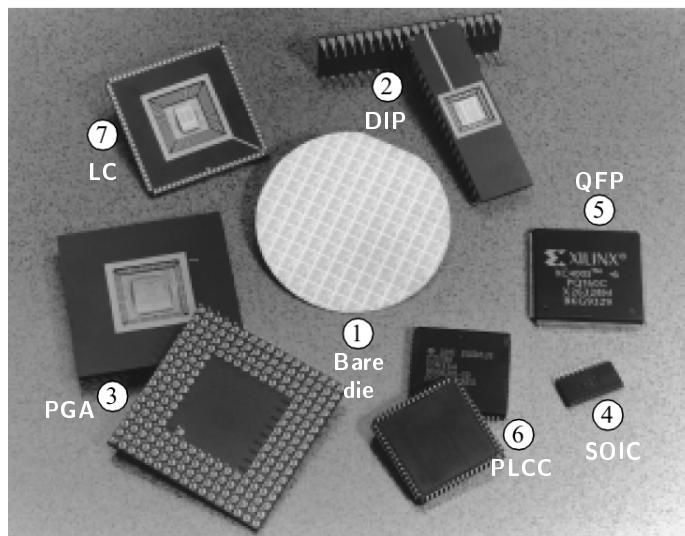


Slika 11: Tehnike montiranja kućišta na štampanu ploču

Očigledna prednost SMT u odnosu na THT jeste mogućnost montiratiranja komponenti sa obe strane PCB-a. Praktično, SMT nudi veću gistinu pakovanja u odnosu na THT. Takođe, parazitni efekti su značajno manji kod SMT. Sa druge strane, kod THT je obično lakše obezbediti odvođenje viška topoteke koja potiče od dispacije u samim komponentama.

Tipovi kućišta

Prikaz kućišta u koja se obično smještaju IC je dat na slici 12.



Slika 12: Uporedni prikaz uobičajenih kućita i nosača IC-a⁴

Tipična kućišta/nosači IC-a prikazani na slici 12 su:

1. Ogoljen pelet na podlozi (*Bare die on Wafer*),
2. DIP/L - *Dual in Package/Line*,
3. PGA - *Pin Grid Array*,
4. SOIC - *Small-Outline IC*,
5. QFP - *Quad Flat Pack*,
6. PLCC - *Plastic Leaded Chip-Carrier* i
7. LCC - *Leadless Chip-Carrier*.

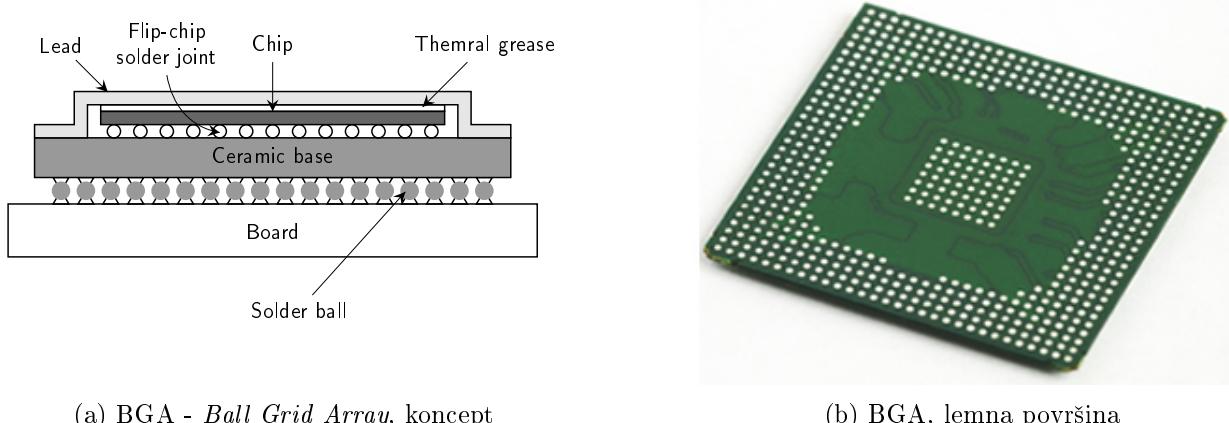
⁴Opširnija klasifikacija kućišta može se pogledati na *List of integrated circuit packaging types*

Karakteristike tičnih kućišta su date u Tabeli 3.

Tabela 3: Karakteristike tipičnih kućišta za IC

Tip kućišta	Tipičan razmak između pinova (lidova) [mm]	Tipičan broj pinova (lidova)
DIL (<i>Dual in Line</i>)	2.54	64
PGA (<i>Pin Grid Array</i>)	2.54	>300
SOIC (<i>Small-outline IC</i>)	1.27	28
PLCC (<i>Plastic Leaded Chip-Carrier</i>)	1.27	124
LCC (<i>Leadless Chip-Carrier</i>)	0.75	124

Generalno, za broj pinova veći od 300 obično se koristi neka varijanta BGA (*Ball Grid Array*) kućišta gde se pinovi zamjenjuju lemnim "loptama/kuglicama" (*solder balls*). Sa BGA može se ostvariti razmak između pinova od približno 0.8mm ($\approx 32\text{mis}$) i broj pinova reda 1000 (slika 13).



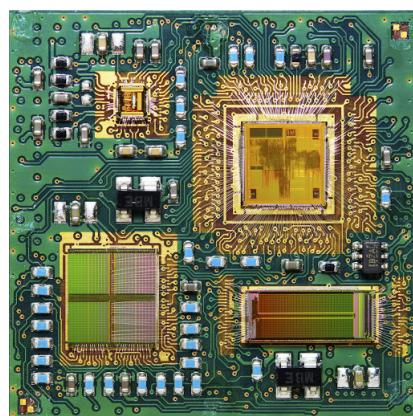
(a) BGA - *Ball Grid Array*, koncept

(b) BGA, lemlna površina

Slika 13: Tehnike montiranja kućišta na štampanu ploču

Kod BGA se koristi *flip-chip* tehnika bondiranja. Praktično, IC okreće za 180° i povezuje sa keramičkom osnovom (*ceramic base*) pomoću lemnih spojeva/bampova (*solder joints/bumps*). Preko IC-a ide sloj termalne masti (*thermal grease*) za bolje odvođenje topline, a zatim i poklopac kućišta (*lead*). Sa duge strane, keramička osnova kućišta povezuje se sa štampanom pločom SMT tehnikom preko tzv. lemnih kuglica (*solder balls*) pa otuda i naziv za ovaj tip kućišta.

Ukoliko se traži visok stepen integracije može se koristiti i tzv. MCM (*Multi-Chip Module*) tehnika gde se više IC-ja, zajedno sa diskretnim komponentama, monitira direktno na štampanu ploču (slika 14).



Slika 14: MCM modul

MCM je veoma skupa tehnika i koristi se samo za male serije i sisteme specifične namene (npr. avio/auto industrija). Tipične vrednosti parazita su $C \approx 0.1\text{pF}$ i $L \approx 0.01\text{nH}$.

Termičke karakteristike kućišta

Tmperaturni opseg komercijalnih uređaja je od $0\text{--}70^\circ\text{C}$ dok je za vojne primene (*military range*) od $-55\text{--}125^\circ\text{C}$. Termičke karakteristike kućišta se standardno daju u vidu termičke otpornosti,

$$R_{th} = \frac{\Delta T}{P_d}, \quad (2)$$

gde je $\Delta T = T_J - T_A$, T_J temperatura spoja (IC-a), T_A temperatura okoline (ambijenta) i P_d snaga disipacije. Keramička kućišta imaju prednost u odnosu na plastična ukoliko se zatevaju dobre temperaturske karakteristike. Npr. PGA kućišta imaju tipično $R_{th} \approx [15, 30]\text{^\circ C/W}$. Naravno, cena keramičkih kućišta je značajno veća od cene plastičnih.

PRIMER 4: Tipično 40-pinsko DIP kućište ima $R_{th} = 38\text{^\circ C/W}$ bez ugrađenog ventilatora (*fan*) i $R_{th,f} = 25\text{^\circ C/W}$ sa ugrađenim ventilatorom. Odrediti dozvoljenu snagu disipacije za temperaturni opseg $\Delta T = 75^\circ\text{C}$.

REŠENJE 4:

$$\begin{aligned} \text{Bez ventilatora: } P_d &= \frac{\Delta T}{R_{th}} = 1.97\text{W} \\ \text{Sa ventilatorom: } P_{d,f} &= \frac{\Delta T}{R_{th,f}} = 3.00\text{W} \quad \square \end{aligned}$$

Termičke granice IC-a⁵ se mogu porceniti pomoću,

$$\frac{N_G}{t_p} \leq \frac{\Delta T_{max}}{R_{th}}, \quad (3)$$

gde je N_G broj simulatno aktivnih gejtova, t_p propagaciono kašnjenje, ΔT_{max} maksimalni temperaturni opseg, R_{th} termička otpornost između IC-a i okoline i E "prekidačka" energija gejta (*gate switching activity*).

PRIMER 5: Odrediti maksimalni broj gejtova u IC-u za temperaturni opseg $\Delta T_{max} = 100^\circ\text{C}$ pri čemu je $R_{th} = 10\text{^\circ C/W}$ ako je u toku rada aktivno 70% od maksimalnog broja gejtova. Prekidačka energija gejta je $E = 0.1\text{pJ}$, a propagaciono kašnjenje $t_p = 1\text{ns}$. Kolika snaga se disipira ako se pretpostavi da su svi gejtori istovremeno aktivni?

REŠENJE 5:

$$\begin{aligned} \frac{N_G}{t_p} &\leq \frac{\Delta T_{max}}{R_{th}E} \Rightarrow N_G \leq \frac{\Delta T_{max}}{R_{th}E} t_p = 100000 \\ N_G &= 0.7N_{G,max} \Rightarrow N_{G,max} = \frac{N_G}{0.7} \approx 142857 \\ E_{max} &= N_{G,max}E = P_{d,max}t_p \Rightarrow P_{d,max} = N_{G,max} \frac{E}{t_p} = 14.29\text{W} \quad \square \end{aligned}$$

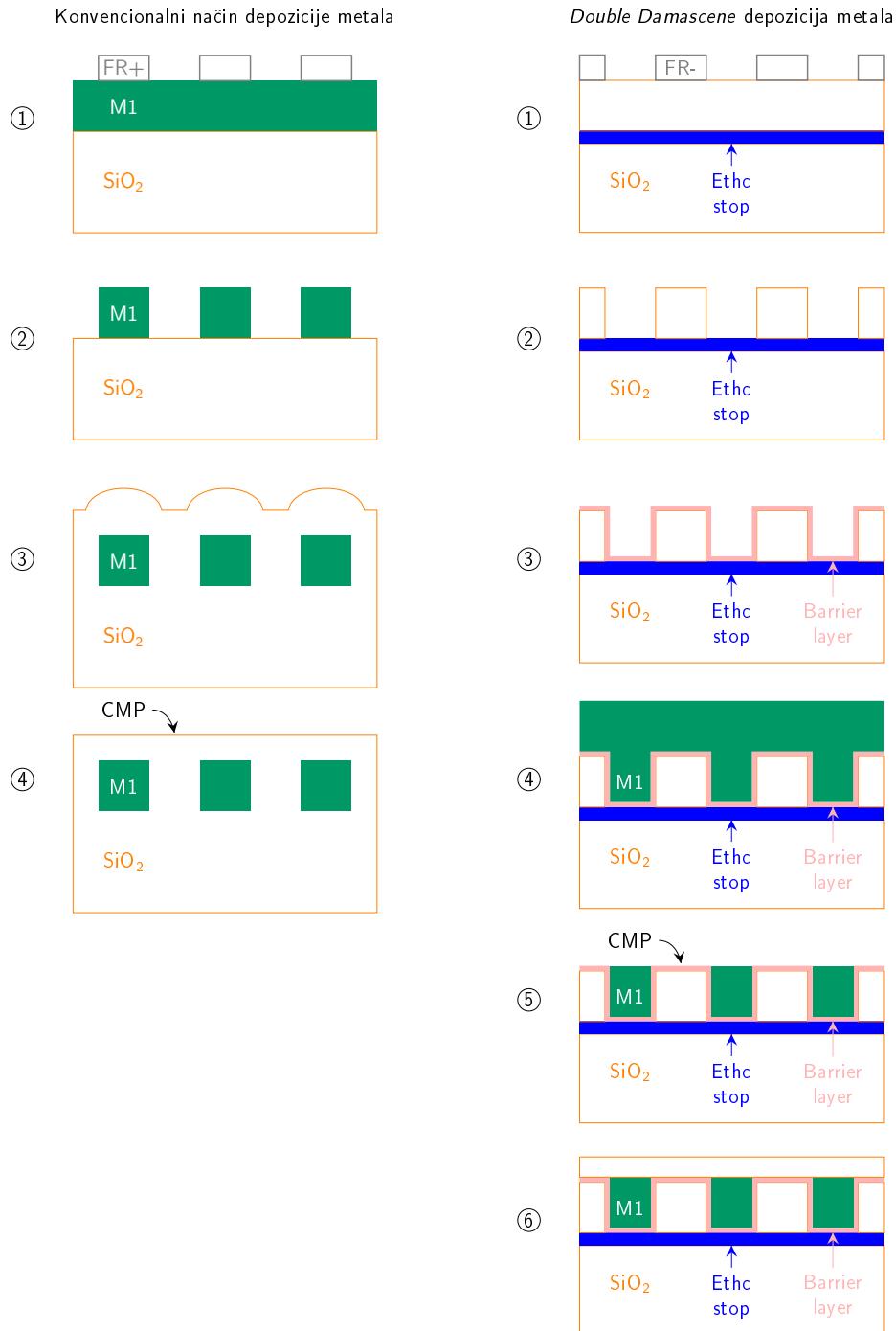
Trendovi u razvoju CMOS procesa

Postupak proizvodnje IC kola u CMOS procesu nije se značajno menjao poslednjih par decenija i svi industrijski trendovi ukazuju da će tako i ostati i narednu deceniju. Sa druge strane, veliki napredak je ostvaren u polju materijala i foto-litografije pa se u svaku od faza ilustrovanih u primeru 2 dodaju novi koraci (npr. TiSi_2 silicidacija, LDD - *Lightly Doped Drain*, *halo implants*, itd.). Generalno, trendovi u razvoju CMOS procesa mogu se klasifikovati kao kratkoročni i dugoročni.

Kratkoročni trendovi se ugl. odnose na unapređenje konkretnog koraka u tehnološkom procesu ne narušavajući globalni tok procesa. Neki od značajnih kratkoročnih trendova su:

⁵Do izraza za procenu je došao Nagata 1997.

- **DDP (Dual-Damascene Process)⁶** je proces koji je omogućio uvođenje bakra (Cu) kao vodećeg materijala za izradu veza na čipu. Poznato je da bakar ima oko dva puta manju specifičnu otpornost od aluminijuma ($\rho_{Cu} \approx 0.6\rho_{Al}$). Na ovaj način su se dobila značajno povećanje brzine rada i smanjenje disipacije na vezama. Glavni problem je što bakar lako difunduje u silicijum i SiO_2 pa se teško održava kao zaseban lejer. Ovaj problem je uspešno rešen DDP procesom. Na slici 15 je ilustrovan konvencionalni i DDP način depozicije metala.



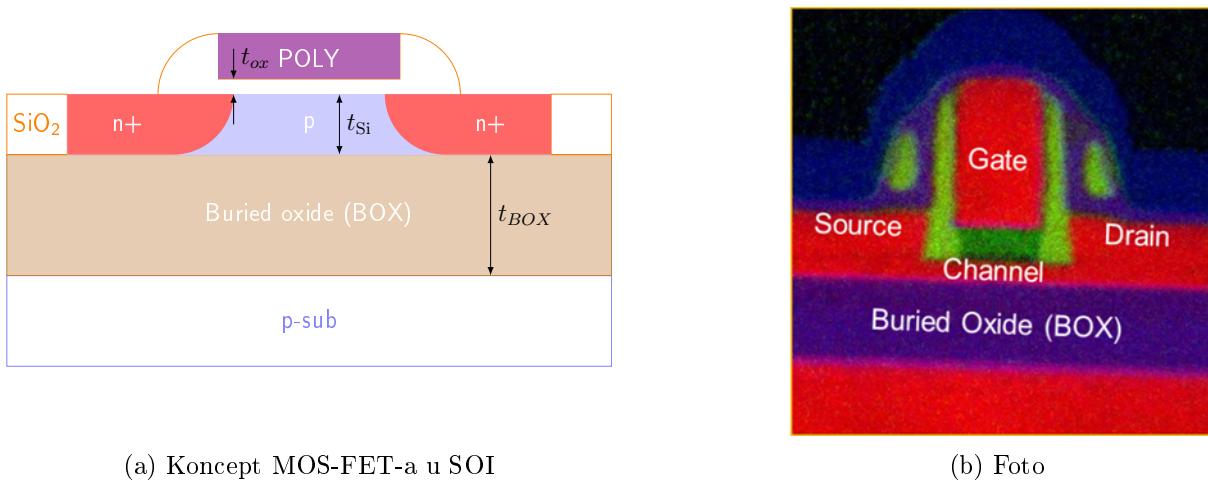
Slika 15: Konvencionalna i *Double Damascene* dpozicija metala

Kod konvencionalnog načina nakon pozitivnog paterna (1) i nagrizanja metala (2) sledi narastanje oksida

⁶Process je razvila kompanija IBM uz pomoć kompanije Motorola 1998. *Damascening* je tehnika utiskivanja dva metala jedan u drugi i ranije je korićena ugl. za izradu umetničkih predmeta.

(3) i CMP površine oksida (4). Ovaj postupak je izvodljiv ukoliko se radi o aluminijumu (Al) ili volframom (W)⁷. Međutim, depozicija bakra (Cu) na ovaj način nije moguća. Kod DDP kreće se od paterna koji je negativ paterna korišćenog kod konvencionalne depozicije (1). Takođe treba uvesti još jedan ukopani lejer za zaustavljanje ngrizanja (*Etch stop*). Nakon, ngrizanja oksida nanosi se zaštitni, barijerni sloj (*Barrier layer*, 3) koji služi da izoluje metal (bakar) od oksida (4). Zatim sledi planarizacija površine CMP postupkom kojim se uklanja višak metala (5). Konačno, površina se pokriva novim slojem oksida (6). U oba slučaja, konvencionalni i DDP, krajnji ishod je isti s tim što DDP omogućava upotrebu bakra.

- **Low-K** materijali su materijalni koji imaju značajno manju dielektričnu konstatnu od SiO_2 ($\epsilon_{\text{Low}-K} \ll \epsilon_{\text{SiO}_2}$). Na ovaj način se dobijaju manje parazitne kapacitivnosti. Ovi materijali se standardno koriste u procesima ispod 180nm.
- **SOI (Silicon On Insulator)** ili FD-SOI (*Fully Depleted SOI*) je tehnološki proces kod koga se komponente izrađuju na ukupnom oksidu (*BOX-Buried OXide*), iznad površine podloge (slika 16). U SOI tehnologiji



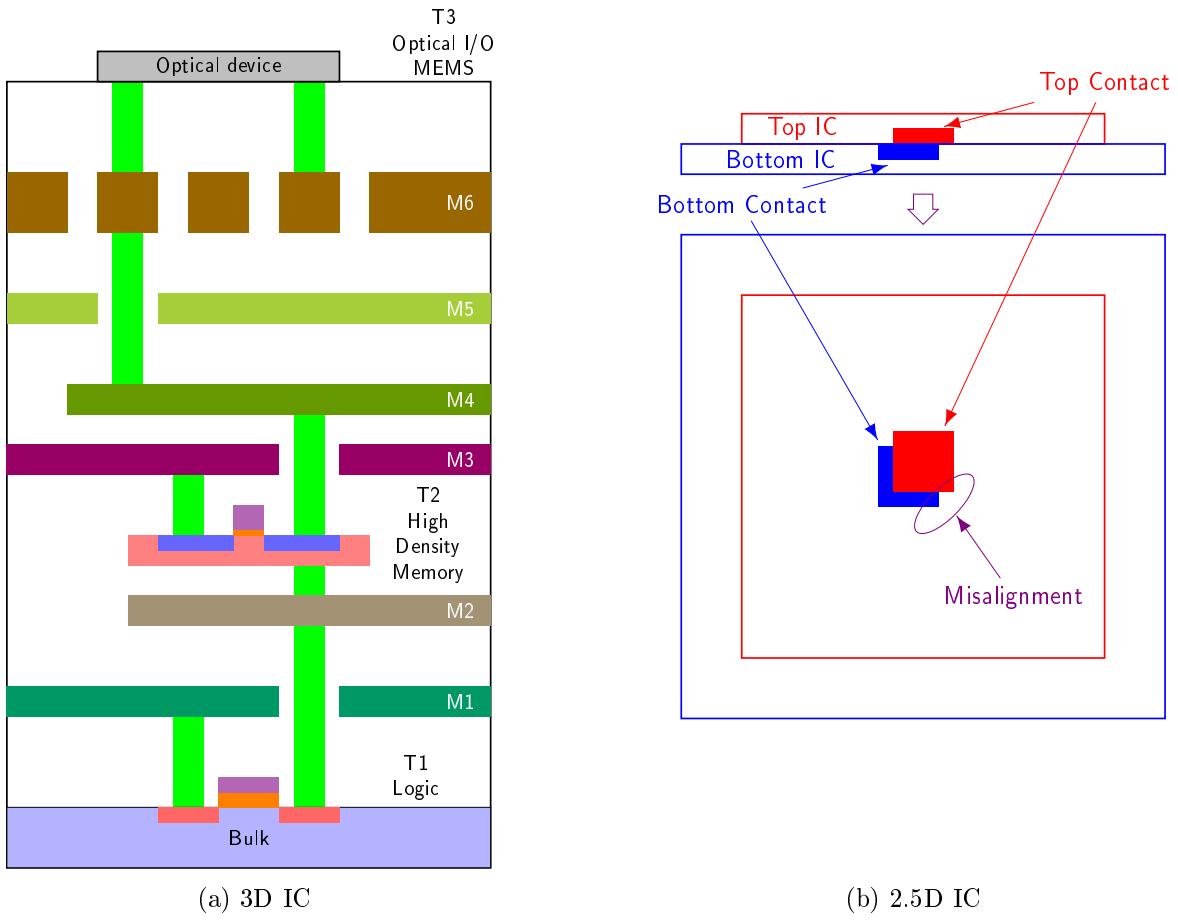
Slika 16: MOS-FET u SOI tehnologiji

značajno su redukovani parazitni efekti prema osnovi (kapacitivnosti, struje curenja, itd.). Redukcija je ostvarenja uvođenjem kvalitetnog izoalacionog sloja između podloge i difuzija komponenti (BOX). Dobra izolacija omogućava da se izrađuju komponente manjih dimenzijama u odnosu na klasičan, supstratski, CMOS proces. Pod pretpostavkom da sve dimenzije ostanu nepromjenjene, prelaskom sa klasičnog CMOS na SOI mogu se ostvariti i do 20% bolje performanse projektovanog kola. Pre dve decenije SOI je važio za skup tehnološki proces. Međutim, početkom 2000. SOI postaje sve pristupačniji, pogotovu kada se radi o dimenzijama ispod 90nm.

Dugoročni trendovi podrazumevaju izmene u konstrukciji IC-a. Često je cilj povećati broj aktivnih komponenti po jedinici površine/zapremine (gusitna pakovanja). Takođe, jedan od novijih trendova, jeste integracija više IC-a koji su izrađeni u različitim tehnološkim procesima i/ili obrađuju signale u različitim fizičkim domenima (električni, mehanički - MEMS *Micro Electro-Mechanical Systems*; svetlost SP *Silicon-Photonics*, itd.). Neki od dugoričnih trendova su:

- **3D ICs** tj. trodimenziona integrisana kola. Ideja je da se kombinuju IC sa različitim performansama u jednom tehnološkom procesu. Integracija se izvodi po vertikalai (*stack-up*), tj. komponente IC-a se umeću između viših nivoa metala. Na slici 17a je dat primer 3D IC-a koji integriše tri nivoa: T1 - standardna logika, T2 - gusto pakovane memorijske ćelije i T3 - ulazno-izlazne komponente koje mogu biti optičkog ili elektro-mehaničkog tipa. Ovakva pristup značajno redukuje broj veza na čipu kao i na PCB-u (tri IC-a u jednom). Sa druge strane, značajno ograničenje kod 3D IC predstavlja odvodjenje toplote usled disipacije. Obično su niži nivoi (standardna logika) aktivniji i generišu veću disipaciju. Toplotu se nižih nivoa se obično odvodi/distribuira

⁷Volfram se često koristi za prvi nivo metala, M1.



Slika 17: Dugorični trendovi

putem tzv. termalnih vija (TV - *Thermal Vias*). Pošto se TV obavezno ugrađuju u 3D IC, prostor za rutiranje električnih veza je ograničen. To dalje uslovljava izmenu standardnih algoritama za rutiranje u CAD/EDA alatima. Pored odvođenja toplote pojavljuje se problem pozdane procene prinosa (*yield*). Praktično, procne prinosa postaje 3D problem. Zbog ovih, a mnogih drugih, razloga 3D IC se i dalje smatraju skupom tehnikom izrade IC-a.

- **2.5D ICs** je rešenje gde se dva jedno-dimenzionalna (1D IC) proizvedena klasičnim, planarnim, CMOS procesom, postavljaju jedno iznad drugog i povezuju eksternim kontaktima. Na ovaj način se mogu kombinovati više proces nodova⁸. Npr. može se kombinovati proces nod novije generacije (14nm) za digitalna kola velike brzine, i proces nod starije generacije (180nm) pogodan za analognu-RF i kola sa mešvitim signalima. Veze između IC-a se ostvaruju u metalima na najvišem nivou (*top metals*). Zahtev za odvođenje toplote je značajno relaksiran pošto se 1D IC izarđuju zasebno, a ne u istom tehnološkom postupku kao kod 3D ICs. Međutim kod 2.5D ICs se javlja problem centriranja (slika 17b). Pošto se 1D IC izrađuju u različitim procesima, pozicioniranje/centriranje kontakata između 1D IC-a se ne može izvesti sa velikom preciznošću tj. neminovno dolazi do neuparenosti (*Misalignment* ilustrovan na slici 17b). Najbolja rezolucija koja se može postići je reda $\pm 2\mu\text{m}$. Prema tome, veze za povezivanje dva 1D IC-a u 2.5D IC su ograničene na metale na najvišim nivoima (*top-level metals*). Kako su top metali velike širine, broj veza između 1D IC-a je redukovani, što nameće dodatna ograničenja u projektovanju individualnih 1D IC-a u 2.5D ICs.

⁸Vremenska linija skaliranje CMOS proces nodova moće se videti na *List of semiconductor scale examples*